

サイリスタ回路による交流制御

A.C. Drive by Thyristor Circuit

渡邊健二* 坂田博* 戸井田秀基**

Kenji Watanabe*, Hiroshi Sakata*, Hideki Toita**

Abstract: In this study, two power electronics circuits are analyzed and discussed. At first, we study three phase A.C. drive circuit using anti-parallel thyristor, that is low cost and low noise, has few number of devices, and has few switching times. And secondary, we also study three phase A.C. drive circuit using Δ connected thyristor, and get satisfactory results.

Key word: Thyristor, Phase shift, Turn off, Delta connection

1. 緒言

パワーエレクトロニクス技術の進歩はSCRと呼ばれたサイリスタの開発により始まった。開発当初は舞台照明の調光器等の単相の交流電力の制御に使用されたに過ぎない。その時、各種DCチョッパ回路や三相の交流電力制御も提案はされている。

その後、制御技術の進歩やSSS等の各種サイリスタの開発により、今日までのパワーエレクトロニクス技術の進歩は著しく、自己消弧形のサイリスタも開発され、あらゆる電力制御回路として使用されるようになった。

使用デバイスとして、現在の主流はIGBTを中心とした自己消弧デバイスである。また、交流制御回路はVVVFインバータやCVCFインバータのようにDCリンク型のものが殆どであり¹⁾²⁾³⁾、初期の段階で提案された逆並列サイリスタ回路を用いた三相交流制御回路や、 Δ 接続サイリスタ回路を用いた三相交流制御回路の研究の詳しいものは見当たらない。

しかし、自己消弧デバイスを用いた場合、消弧時のサージ電圧が問題となりスナバ回路の設置が不可欠となり、スナバ回路を用いても完全にサージ電圧を抑制することはできないので回路雑音の問題となる。一方、SCRと呼ばれたサイリスタは自然消弧により消弧するので雑音が少ないことが利点である。

現在、注目されている高エネルギー、高精度、高品質に対して、低価格、省エネルギー、低雑音の要求も根強い。後者に対する三相交流の制御回路として早くから提案されていた Δ 接続サイリスタ回路が注目される。しかし、この回路の制御方法は明らかではない⁴⁾。

本研究では、低雑音、低価格を目的として、デバイスの使用個数が少なく、スイッチング回数の少ない、逆並列サイリスタ回路を用いた三相交流制御回路について検討し、この結果をもとに Δ 接続サイリスタ回路を用いた三相交流制御回路の制御法について研究したので報告する。

*愛媛大学大学院理工学研究科

*Graduate School of Science and Engineering, Ehime University, Matsuyama

**東洋商事株式会社

**Toyo Corporation, Matsuyama

2. 回路構成

2-1 DCリンク型交流制御回路

DCリンク型交流制御回路の基本構成を Fig. 1 に示す。この回路はDCリンク電圧形インバータと呼ばれ、CVC Fインバータとして無停電電源装置等に使用されている。

DCリンク部のコンデンサをリアクトルに置き換えた電流形インバータはVVVFインバータとして誘導電動機の制御に使われている。また、PWM制御を用いた高品質の正弦波インバータもある。

これらの回路は整流部、平滑部およびインバータ部よりなり、構成点数が多く損失も大きい。他に、DCリンクのないものとしてサイクロコンバータがあるが、サイリスタを18個使用するものもあり、構成点数が多く雑音が多いこと、使用できる周波数は電源周波数の1/3以下ということも問題である。

これにたいして、以下に述べる逆並列サイリスタ回路と Δ 接続サイリスタ回路を考える。

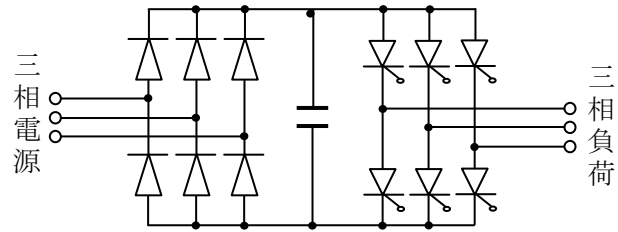


Fig.1 D.C. link voltage-fed inverter

2-2 逆並列サイリスタ回路を用いた三相交流制御回路

Fig.2 に逆並列サイリスタ回路を用いた3相交流制御回路を示す。この回路はサイリスタが開発された当初に発表されたもので、3相の各ラインにそれぞれ逆並列接続のサイリスタを挿入したもので、位相制御を行うことにより、3相電力の調整が行える。しかし、制御方法や動作解析を行った文献は無い。本稿の研究対象とした、 Δ 接続サイリスタ回路を用いた3相交流回路の制御法考察の基礎知識を得るため、Fig.2の回路の制御法と動作について検討した。予期以上の成果が得られたので本稿に示す。

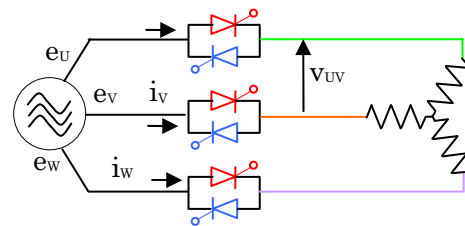


Fig.2 3φ AC drive circuit with thyristors in anti-parallel

2-3 Δ 接続サイリスタ回路を用いた三相交流制御回路

本稿の対象とした Δ 接続サイリスタ回路を Fig.3 に示す。この回路は中点の無い3相負荷には適用できないが、必要とするサイリスタの個数は最小である。

この回路は、UV、VW、WU相の

サイリスタを制御する3相制御回路(3相半波)であるが、さらに高性能とするため最近のデジタル制御を用いてUV、UV-VW、VW、VW-WU、WU、WU-UVと順次制御して6相(3相全波)の制御方式を提案した。

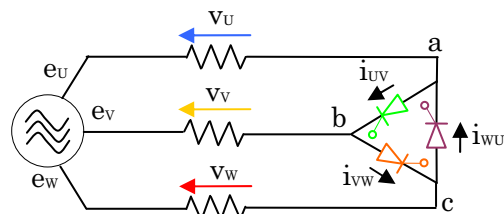


Fig.3 Thyristor circuit in delta connection

3. 逆並列サイリスタ回路を用いた三相交流制御回路

逆並列サイリスタ回路を用いた 3 相交流の制御回路について検討し、制御方法、動作状態を明らかにしたのでここに示す。本稿では、検討内容を示すために、まず、波形チャート、図の書き方、制御法を述べる。

3-1 チャートの構成

まず、動作解析を容易にするため、各波形記入用のチャートを用意した。

上段より、ゲート信号、電源電圧（相電圧）、出力電圧（線間電圧）記入用のチャートを示す。

ゲート信号は実線（色がデバイスに対応）で示し、サイリスタの電流を塗りつぶした黒で示す。

電流は 1 相分のデバイスに加わる電圧としてその電圧を下段の電圧波形中に示す。

電源電圧を実線で示し、出力線（黄緑、橙、紫）と接続しているとき着色。二線が接続、一線が断のとき、断の線には負荷の midpoint の電位が現れる。その電位は断の相電圧の大きさが $1/2$ で極性が反対となる。相電圧の極性が逆で半分の大きさのものを破線で示す。

線間電圧は相電圧を (30°) 進め、 $\sqrt{3}$ 倍したものおよび、極性を反転したものを実線で示す。また、これらの $1/2$ の大きさのものを破線で示す。

この段にデバイスの端子電圧（U相）を緑色で示す。

3-2 制御法

基本的には、線電流を制御することになるので、各相の相電圧のゼロクロス点を起点 ($\alpha=0$) とした。

負荷電流の調整は α の制御（位相制御）により行う。ゲート信号の終了は π （ゼロクロス点）となるが、u 相を例にとると、図の緑に染めた部分（相電圧中に示す）は e_u と同相であるが、グレーの部分（線間電圧中に示す）はそれぞれ、 e_{uv} 、 e_{uw} と同相となるので、 π より $\pi/6$ 遅らせる必要がある。具体的には図のゲート信号に破線で示す。

この結果、出力電圧が最大から 0 まで位相制御により連続して得ることができる。

3-3 作図

まずゲート信号を書く。デバイスとの対応は色（赤：電源→負荷、青：負荷→電源）で示す。

ゲート信号の印加されているサイリスタは導通するので該当する相の電圧に負荷線の色を着ける。色により負荷線の電位変化を示す。なお、対応するサイリスタが不導通の場合、他の 1 相だけが導通の場合はその相の電位、他の 2 相が導通の場合は 2 相の中間の電位、すなわち自分の相の電圧の逆極性で大きさが $1/2$ の電位となる。

負荷線 u、v の線間電圧 V_{uv} を線間電圧の欄に黒線で示す。これは緑の線とオレンジの線の差を示す。

最後に入力電流をゲート信号に重ねて示す。この波形の根拠を薄く着色した短冊状に示す。

3 相が導通の場合、負荷の midpoint は 0 なので相電圧に比例した電流となる。これを相電圧中に薄緑で示す。また、2 相が導通の場合、線間電圧に比例した電流が流れるが、負荷抵抗が 2 個直列になっているので線間電圧の半分の大きさとし、線間電圧の中にグレーの短冊で示す。このようにして描いた図 ($\alpha=0, \pi/12, \pi/6, \pi/4, \pi/3, 5\pi/12, \pi/2, 7\pi/12$) を Fig.4~Fig.11 に示す。

なお、ゲート信号がなくなっても、その時サイリスタがオンしていれば電流が 0 となるまで通電する。しかし、 $\alpha=\pi/3, 5\pi/12$ では、サイリスタがトリガされた時、直前の相のサイリスタは通電しているが、midpoint の電位が変化し、直前の相のサイリスタは逆バイアスがかかりオフする。

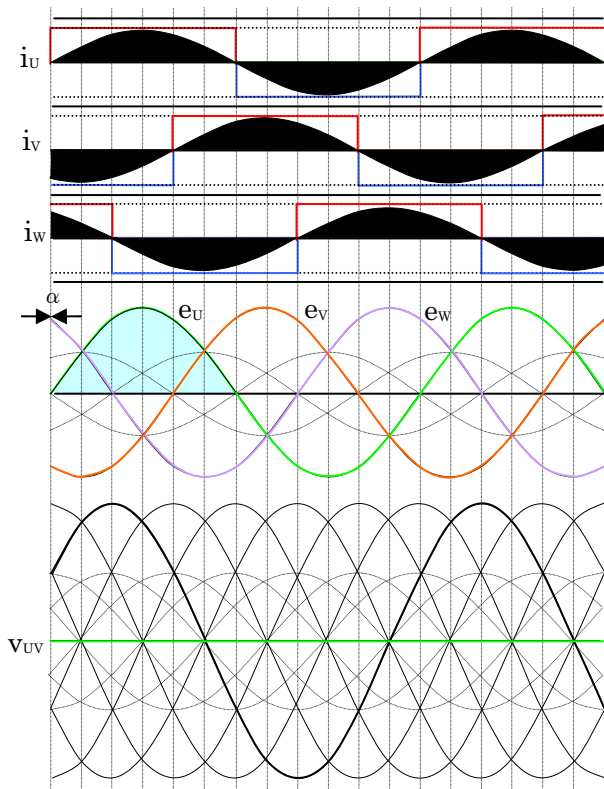


Fig.4 $\alpha = 0$ (Anti-parallel)

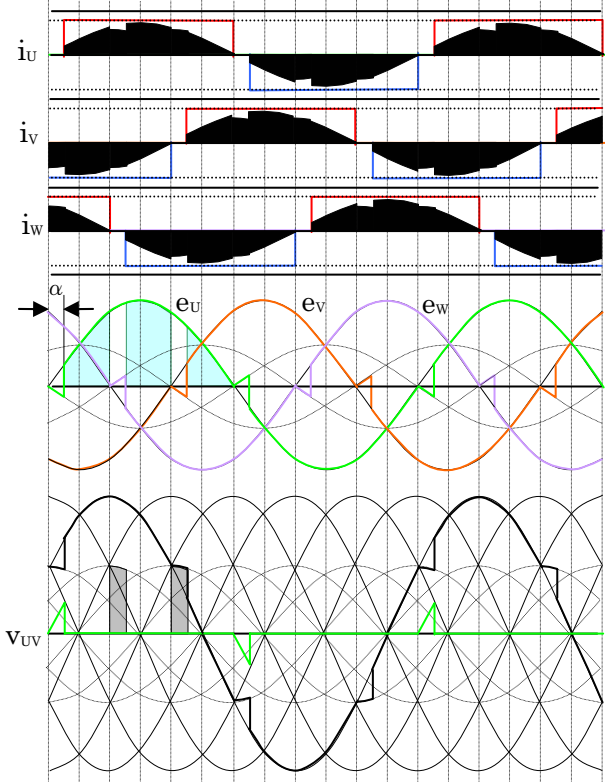


Fig.5 $\alpha = \pi/12$ (Anti-parallel)

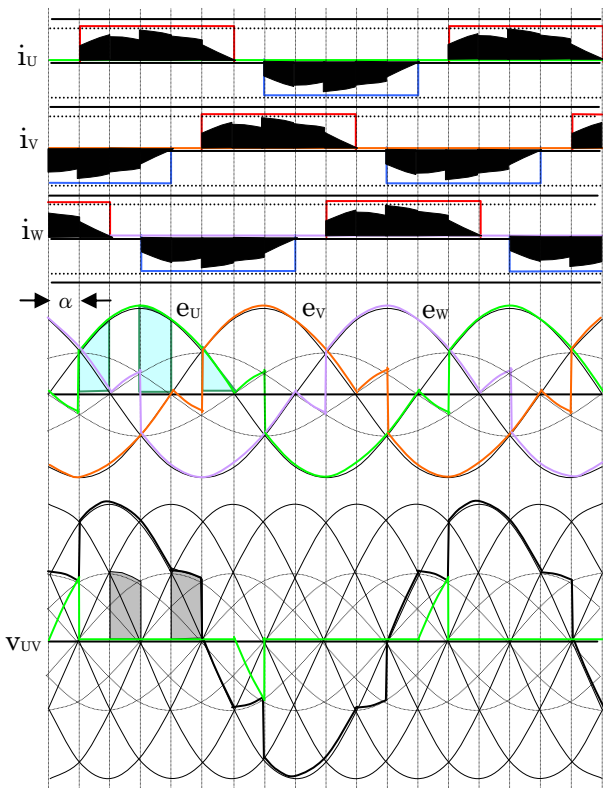


Fig.6 $\alpha = \pi/6$ (Anti-parallel)

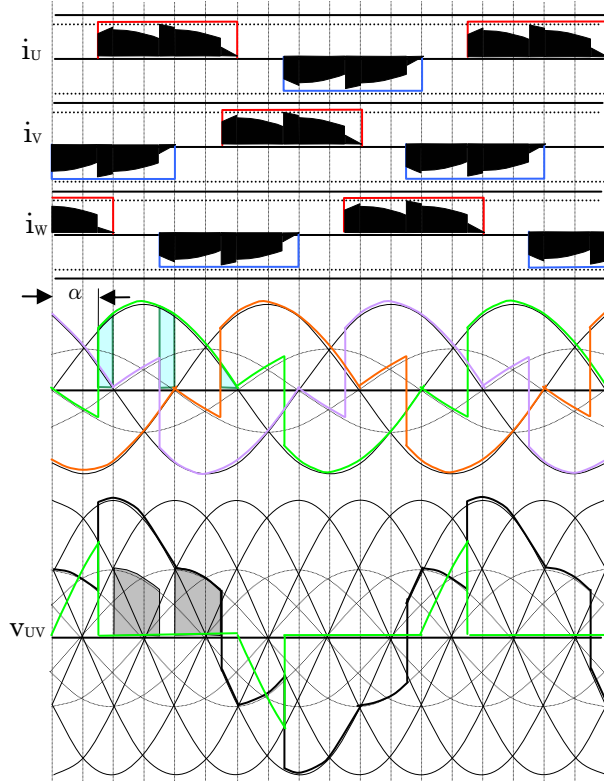


Fig.7 $\alpha = \pi/4$ (Anti-parallel)

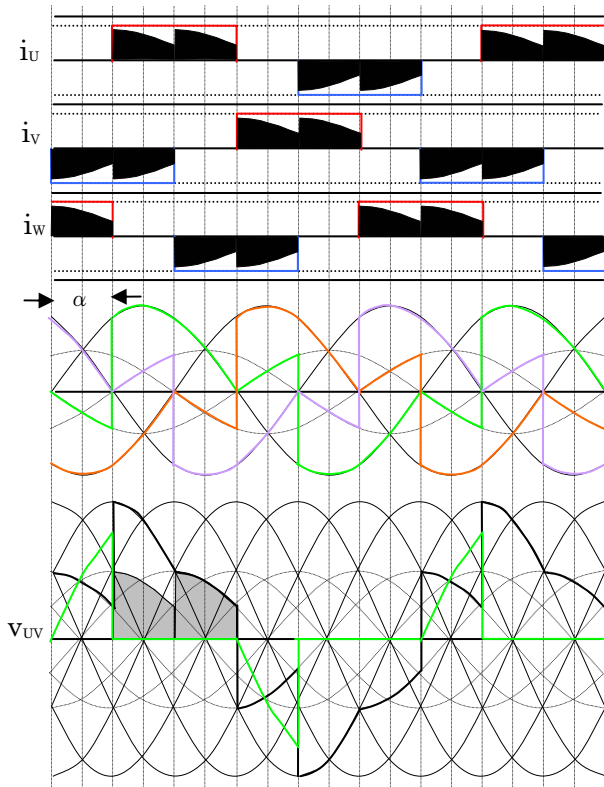


Fig.8 $\alpha = \pi/3$ (Anti-parallel)

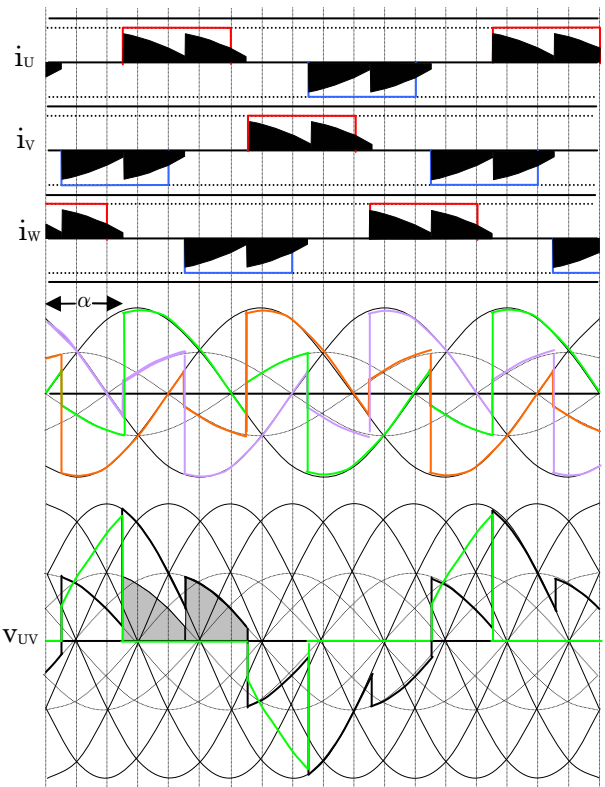


Fig.9 $\alpha = 5\pi/12$ (Anti-parallel)

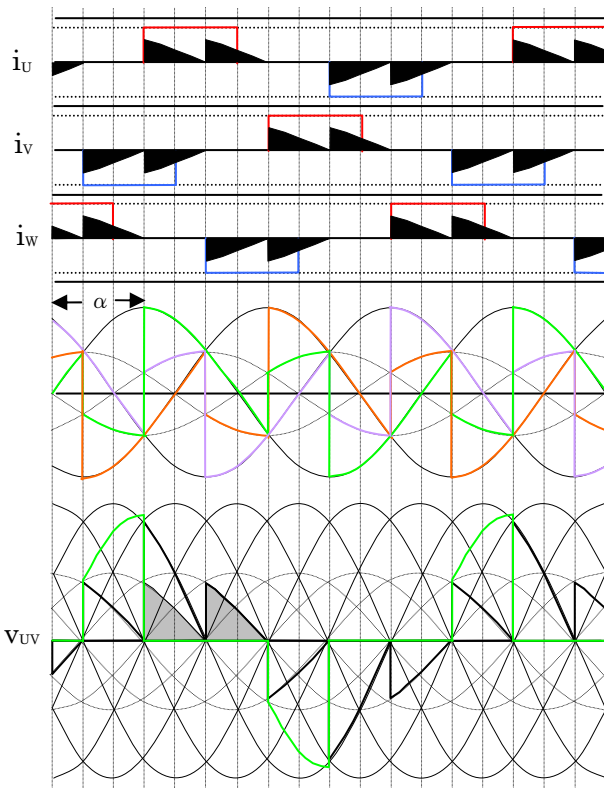


Fig.10 $\alpha = \pi/2$ (Anti-parallel)

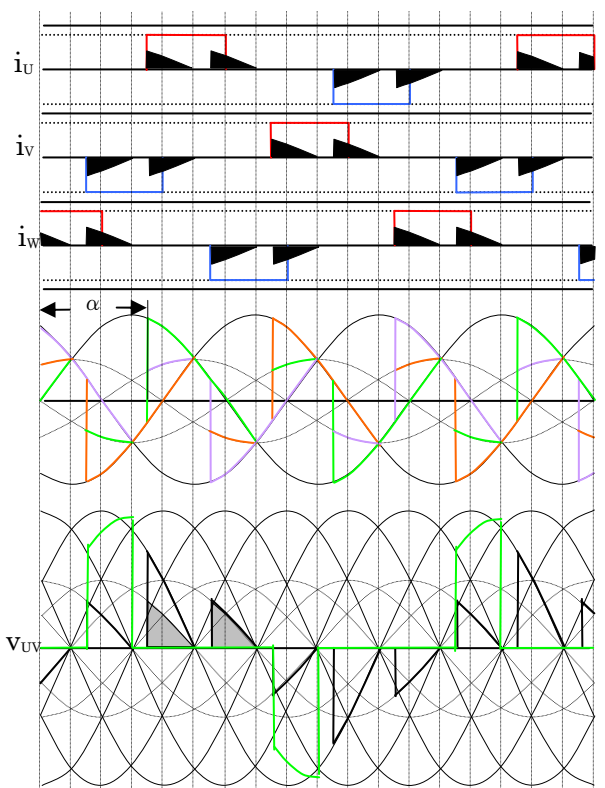


Fig.11 $\alpha = 7\pi/12$ (Anti-parallel)

3-4 回路シミュレータによる検証

PSpice を用いた三相交流回路のシミュレーションを行なって、先に述べた考察の検証をした。その1例を示す。

制御角 $\alpha = \pi/6$ の時の、入力電流、負荷端子の相電圧、線間電圧のシミュレーション結果をそれぞれ図 12、図 13、図 14 に示す。

これらの図はいずれも、図 6 の結果に酷似していることが分かる。このことより、3-4 節で示した解法が正しいことが確認できた。

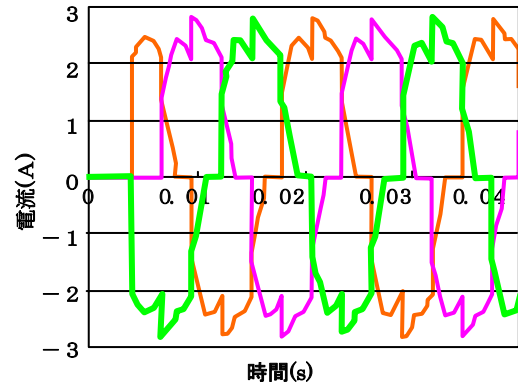


Fig.12 Input currents(Simulation)

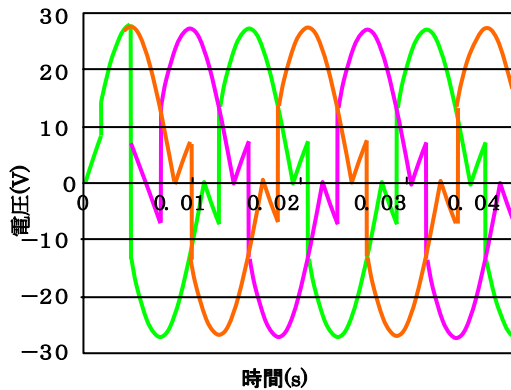


Fig.13 Phase voltages(Simulation)

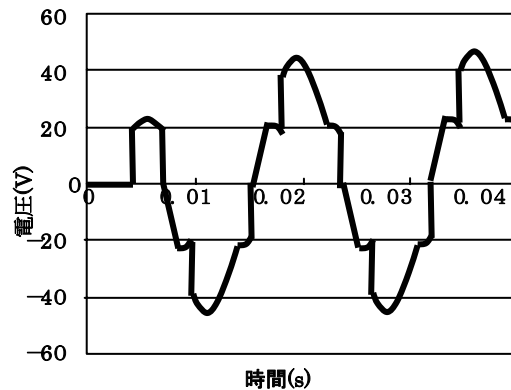


Fig.14 Line voltages(Simulation)

4. Δ 接続サイリスタ回路を用いた三相交流制御回路

4-1 チャートの構成

チャートの構成は、3-1 で述べたと同様である。ただし、中断の電位は Fig.3 の a、b、c 点の電位を示す。サイリスタが通電しているときはサイリスタの電位（2 相通電の場合は 2 相間の中点の電位、3 相通電の場合は、電位 0 となる）を示す。

下段の出力電圧としては、各相の負荷の端子間電圧を示した。

4-2 制御法

どのサイリスタもオンしていない時、サイリスタの A-K 間に加わるのは、線間電圧だから線間電圧のゼロクロス点を制御角の基準点 ($\alpha = 0$) とした。

制御サイリスタ 3 個が結合していること、および逆並列サイリスタ回路の結果から、2 個のサイリスタがオンしている時には、他のサイリスタをオンさせることはできない。そこで、逆並列交流制御回路の $\alpha = \pi/3$ (Δ 接続では相電圧を基準としたので $\pi/6$) を最小制御角として検討したが、 $\alpha = 0$ も動作可能であったのでこれを示した。

4-3 作図

2 デバイスが通電している時は、中点の電位は 0 (V)、1 デバイスの場合は 2 入力端子電位の中点となるから、各相の負荷抵抗の電流は容易に求まる。しかし、デバイスの電流はこれらか

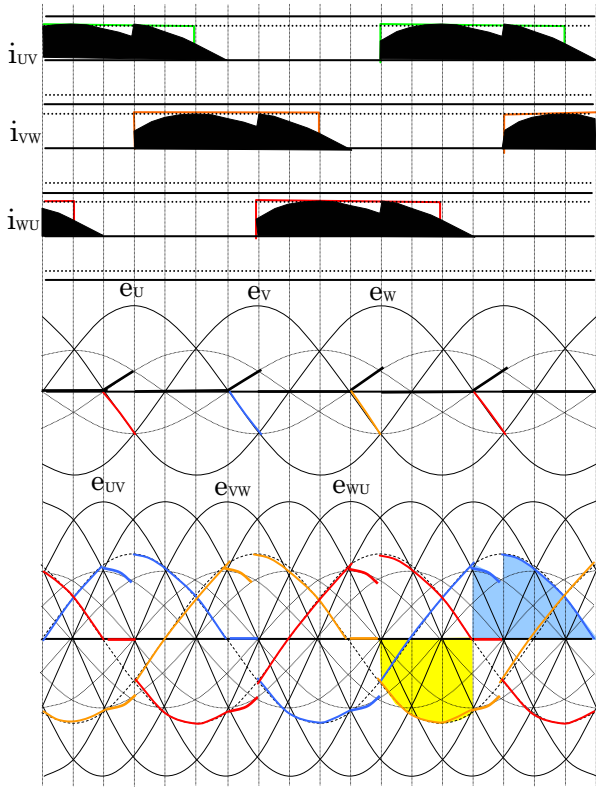


Fig.15 $\alpha = 0$ (Δ connection)

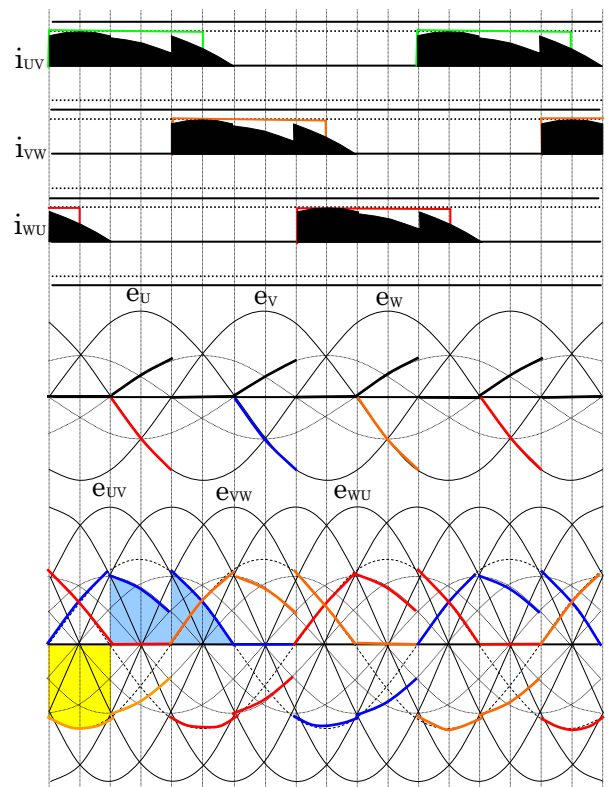


Fig.16 $\alpha = \pi/6$ (Δ connection)

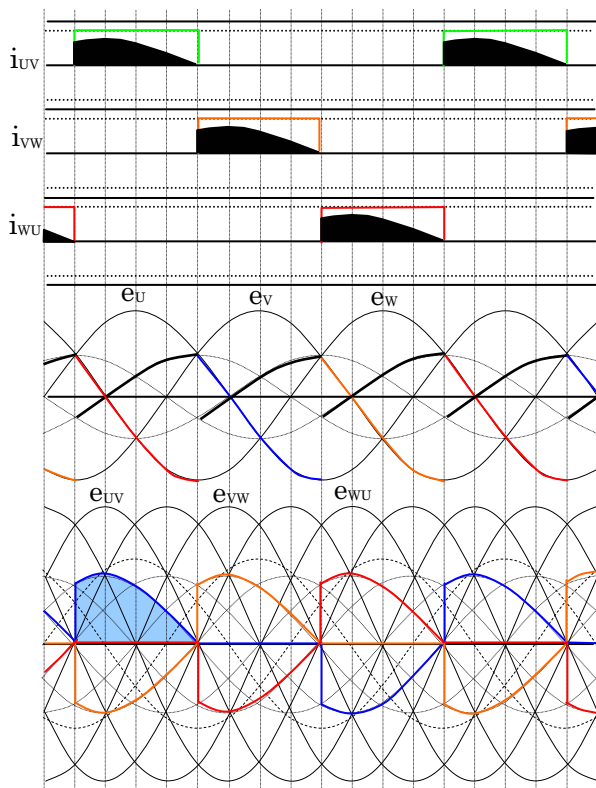


Fig.17 $\alpha = \pi/3$ (Δ connection)

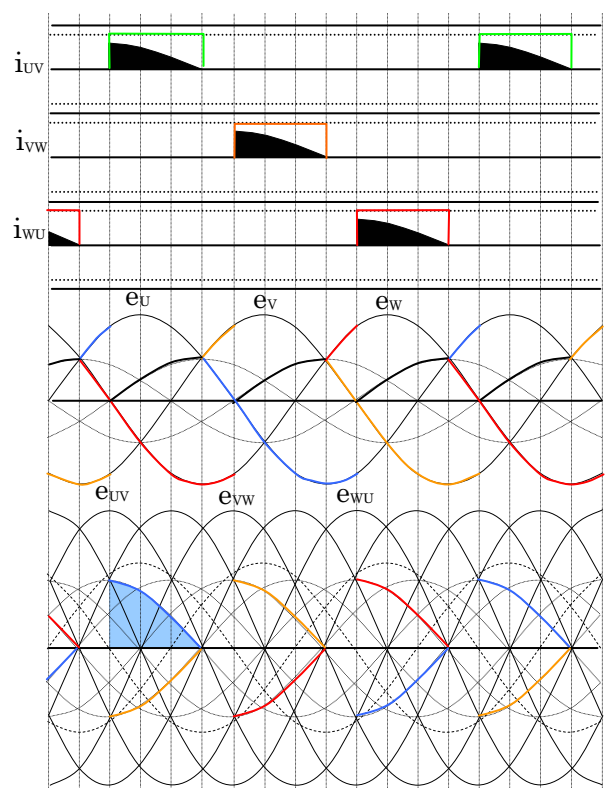


Fig.18 $\alpha = \pi/2$ (Δ connection)

らは簡単には求まらないので、時々刻々のモードに合わせて求めた。それは、次の理由による。

各相の負荷抵抗の電流を i_U , i_V , i_W , デバイスの電流を i_{UV} , i_{VW} , i_{WU} と置くと、相電流は $i_U = i_{UV} - i_{WU}$, $i_V = i_{VW} - i_{UV}$, $i_W = i_{WU} - i_{VW}$ とデバイスの電流から容易に求まるが、逆に、 i_U , i_V , i_W が与えられても i_{UV} , i_{VW} , i_{WU} は求まらない。

これを Fig.15 の波形を用いて説明する。回路図は図3に示している。 $\alpha = 0$ でサイリスタ S_{UV} がオンするが、 S_{WU} が通電しているので、中点の電位は 0 となる。そのため、各相の負荷抵抗には相電圧に比例した電流が流れる。すなわち、W相の負荷抵抗には減衰する電流が S_{WU} を通って流れ i_{WU} となる。U相には増加する電流が流れ、これと i_{WU} の和が S_{UV} を通る i_{UV} となり、V相の負荷抵抗を流れる。

このようにして、制御角 $\alpha = 0, \pi/6, \pi/3, \pi/2$ と変化させて描いた各部の電圧、電流波形を Fig.15～Fig.18 に示す。解析結果の正しさを検証するための PSpice を用いたシミュレーション結果 ($\alpha = 0$ の負荷端子間電圧) より、理論波形が正しいことを示す。この結果、最も簡単なサイリスタ交流制御回路である Δ 接続回路も連続したいそう制御が可能であることを明らかにした。

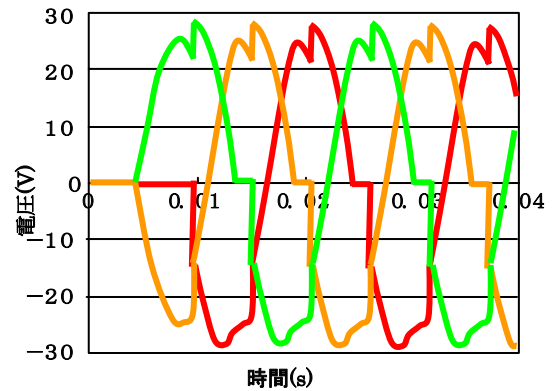


Fig.19 Load voltage(Simulation)

5. 結言

3 相交流制御回路のうちデバイス数が最小である中点での Δ 接続のサイリスタ回路の制御法を明らかにするため、3 相逆並列制御回路を検討し、 Δ 接続の回路も検討した結果、共に連続した位相制御が可能であり、実用可能なものであることを明らかにした。以下に詳細を示す。

5-1 逆並列接続

当初はゲート信号の与え方に苦慮したが、サイリスタに流れるのは相電流であることから、電源の相電圧よりゲート信号をえることとし、相電圧の正の期間中ゲートに信号を与え、ゲート印加中はサイリスタが通電し、負荷は考えやすい純抵抗とした。また、点弧角 α を $\pi/6$ ずつ変えて作図を試みた。

この方法では、 α の小さいうち、すなわち出力の大なるうちはリニアに制御可能と思われたが、 α をもう少し大きくし、 $\alpha = 2\pi/3$ とすると、不連続となったので、サイリスタの最小ゲート信号幅を $\pi/6$ 、点弧角 α を $\pi/12$ ずつ変えて作図した。この結果、以下のようになり、最大から 0 まで連続制御可能であることが解かった。なお、サイリスタがオフするとすぐに逆電圧がかかっているため、逆並列サイリスタに替えてトライアックを用いることは、困難と思われる。

5-2 Δ 接続

回路構成から見て、3 相半波の交流制御が予測され、3 相全波の交流制御とするためには、1 デバイスの逆方向に流すためには他の 2 デバイスを通電させることが必要で、制御が複雑

となることが懸念されたが、結果として、上記のように位相制御が行えることを示した。

逆並列接続において、 α が $\pi/3$ (Δ 接続では $\pi/6$ に相当) 以上だと、2相通電となるので、3個のサイリスタを用いた Δ 接続も可能と思われ検討した結果、 $\pi/6$ (0に相当) から制御可能ということが判明した。ただし、位相制御の基準は線間電圧のゼロクロス点である。

他の3相交流制御回路は制御デバイス電流の総和が0であるが、この場合は違っているので動作が複雑となり、負荷電流は小さく、歪も大きい、また中点があることが必要なので逆並列接続より適用範囲が狭いと思われる。

しかし、使用デバイスが少ないこと、意外と制御が容易であることから、軽負荷での使用には適用が考えられる。

6. 謝辞

愛媛大学勤務40年の最後に、工学ジャーナルへの執筆の機会を与えられたことに、電気電子工学科の学科長、広報委員、ならびに関係各位に感謝します。

サイリスタが、“p-n-p-nトランジスタスイッチ”として発表されて以来、すでに50年を経過しましたが、その開発当時に提案された三相交流制御回路の制御法と動作解析ができたこと、およびその発表の場を与えられたことに感謝します。(渡辺記)

7. 文献

- 1) 渡辺健二、親盛克治、佐藤則明「直巻形無整流子電動機における磁気飽和の影響について」電気学会論文誌B、349-355、1976.7
- 2) 渡辺健二「逆並列サイリスタを用いた交流アーク溶接機の電撃防止装置および垂下特性への影響」溶接学会誌47-12、1978.12
- 3) 坂田博、宇都徹、渡辺健二、磯村滋宏「マイクロコンピュータによるサイリスタコンバータの制御」愛媛大学工学部紀要、10-2、75-85、1983.2
- 4) 曾根悟「サイリスタ回路」日刊工業新聞社、30、1973