

ナノメータ L S I の故障診断について*

Fault Diagnosis for Nanometer LSI

高松 雄三**

Yuzo TAKAMATSU**

With the increasing complexity of LSI, logic-BIST is recently being accepted as industry-wide test solutions. After finding a faulty LSI under a BIST environment, we must determine the cause of failure in the faulty LSI within a small turn around time. A fast, low-cost and high-quality LSI product has been requested. How do we diagnose the cause of failure of the faulty LSI in the nanometer technology? We show a fault diagnostic scenario after testing nanometer LSI by BIST. We also propose a new fault model for open faults in the nanometer LSI and present its novel diagnostic method.

Key words : Nanometer LSI, Testing, BIST(Built-In Self-Test), Fault diagnosis, Fault model

1. 緒 言

超微細プロセスでの LSI のテストと診断は、年々困難かつ重要になっている。微細化するナノメータ LSI のテストに論理組込み自己テスト(Logic BIST: Built-In Self-Test)はもはや必須である。BIST はテスト回路を LSI 自身の中に組み込みテストする。BIST の導入で LSI の開発・製造のテストコストの削減とテストの品質向上をはかるのが目的である。

ポスト BIST に必要なものは何か。BIST でフェイルした LSI の効率よい故障診断である。このことを本稿では「**ポスト BIST 故障診断**」と呼んでいる。

LSI の故障診断はフェイルした LSI の欠陥箇所を高速かつ的確に指摘することが求められる。これまでに開発されている論理回路の故障診断法は2つに大別される。(1)原因-結果分析法(cause-effect analysis)と(2)結果-原因分析法(effect-cause analysis)である。前者はすべての故障の振る舞いをあらかじめ入出力応答表に作成する方法であり、故障辞書法とも呼ばれている。一方、後者はテストでの出力を分析し、故障を観測する出力端子から入力側へ経路を追跡することで、故障箇所を推定する方法と、故障シミュレーションを用いて診断テストを最もよく説明できる故障を推定する手法がある。

* SEMICON Japan 2005 における招待講演「ポスト BIST 故障診断への挑戦」, SEMI Technology Symposium(STS), pp.6-39-6-41 を基に最新の研究成果を加筆

** 松山市文京町3 愛媛大学大学院理工学研究科 電子情報工学専攻

** Department of Electrical and Electronic Engineering and Computer Science,
Graduate School of Science and Engineering, Ehime University, Matsuyama, Japan,
E-mail takamatsu@cs.ehime-u.ac.jp

原稿受理 平成 20 年 10 月 31 日

しかしながら、これらの方法は BIST でフェイルした LSI の故障診断に直接適用することができない。また、ナノメータ LSI に顕在化する新たな故障の解析も必要となってきた。

BIST 環境に適用可能な故障診断には何が要求されるのか。第 2 章でポスト BIST 故障診断に求められる課題を明らかにする。次に、この課題に挑戦するポスト BIST 故障診断法を第 3 章で紹介する。第 4 章では、われわれが開発したポスト BIST 故障診断の実験結果の一部を示す。第 5 章では、最新の研究成果を基に、ナノメータ LSI に顕在化する故障の新しいモデルを提案し、その故障診断法について概要を述べる。最後に、第 6 章で本稿のまとめを行う。

2. ポスト BIST 故障診断における課題

スキャン設計の論理回路のテストは、入力フリップフロップ(以下、入力 FF)にテストパターンを設定し、その出力応答を出力 FF に取り込む。出力応答が期待値と一致すれば、印加しているテストパターンはパステストと呼ばれ、そうでなければフェイルテストと言われる(Fig. 1)。

従って、テスト(ATE)は各テストパターンに対する出力 FF の期待値を記憶する必要がある。微細化が進み大規模化するナノメータ LSI のゲート数は 10M ゲートに向かっており、また、テストパターン数は数 10M にも達するという。スキャンテストの限界である (Fig. 2)。

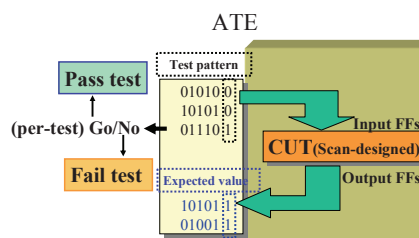


Fig. 1 Scan-test and Pass/Fail test

スキャン設計の回路のテストでは、フェイルした LSI のパステストとフェイルテストおよびフェイル FF が得られる。このことが ATE のコストと必要メモリの増加を生じさせる。一方、スキャン設計の回路の故障診断では、この出力 FF 毎のパス/フェイル情報をテスト毎に用いることができる利点がある。

スキャンテストのブレイクスルーの一つが論理 BIST である。BIST は擬似ランダムパターン発生器 (PRPG)、出力パターン圧縮器 (MISR) から構成される。BIST によるテストは PRPG の生成するテストパターンを印加して、その出力応答の圧縮署名と期待署名とを比較して LSI の故障検出を行っている (Fig. 3)。スキャンテスト

(Fig. 1) がテストパターン毎にパス/フェイルの判定を行っているのに対して、BIST によるテスト (Fig. 3) は CUT (Circuit Under Test: 被検査回路) 毎に good/faulty を判定している。

従って、BIST によるテストでは、フェイルした LSI のパス/フェイル情報のみが結果として得られる。このために、BIST でフェイルした回路の故障診断を行うには、印加したテストパターンの中からフェイルテストを求めなければならない。

ところが、スキャンテストとは異なり、BIST でフェイルした回路のパステストとフェイルテストを正確に得ることは、出力応答を圧縮しているため一般に困難である。

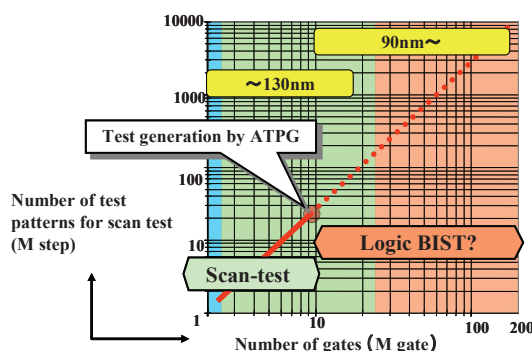


Fig. 2 Number of test patterns

フェイルテストを抽出する一つの例として、BIST セッションを繰り返し実行してパステストのみのテストパターン集合とフェイルテストを含むテストパターン集合に分割する方法がある[1]。例えば、Fig. 4の方法を実行すると、パステスト集合にフェイルテストが含まれることはないが、フェイルテスト集合として抽出したフェイルテスト集合にパステストが含まれる。このようなフェイルテスト集合を、われわれは「**不確かなフェイルテスト集合 (Ambiguous fail test set)**」と呼んでいる。

これまで、印加したテストパターンの中からフェイルテストを求めるいくつかの方法が提案されているが、いずれも BIST では出力応答を圧縮するために「不確かなフェイルテスト集合」のような状況に陥る。また、BIST では出力応答を圧縮するため、フェイルテストのフェイル出力 FF を知ることは困難である。以上のことから、ポスト BIST 故障診断に課される条件は次のようになる。

ポスト BIST 故障診断における制約

- (C1) 診断で使うテストパターンの情報はテスト毎のパス/フェイル情報のみである。
- (C2) 診断で使うパステスト集合はパステストのみの集合であるが、フェイルテスト集合にはパステストが含まれる。(不確かなフェイルテスト集合)

従って、ポスト BIST 故障診断はこのような条件下で故障診断を行わなければならない。

Fig. 5 にスキャンテストとロジック BIST に対する ATE のコストと必要メモリとを相対的に楕円で示している。

近年、テストパターンの圧縮技術を使った圧縮パターンテストと呼ばれる技術が開発され、スキャンテストとランダム BIST の中間に位置付けられている。圧縮パターンテスト後の故障診断は、(C1) の条件下のみで行うことができる。Fig. 5 には、3つの DFT (Design For Testability) の故障診断で用いることができる情報を箱の中にそれぞれ示している。このようにポスト BIST 故障診断は、過酷な条件下で行わなければならない困難な処理となっている。

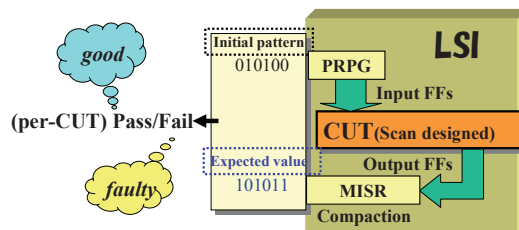


Fig. 3 Logic BIST

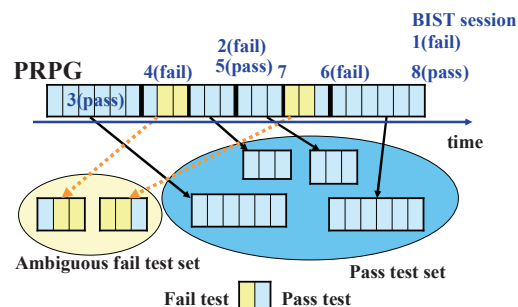


Fig. 4 Ambiguous test set for Post-BIST Diagnosis

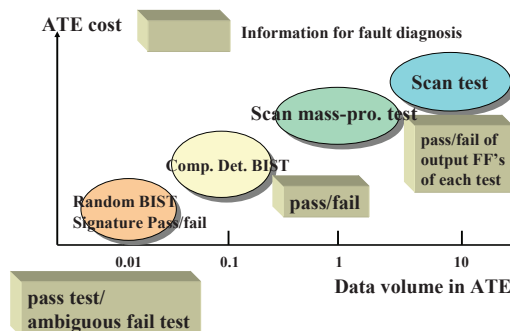


Fig. 5 Information for fault diagnosis vs. DFT

3. ポスト BIST 故障診断法

ここでは、第2章で提起したポスト BIST 故障診断のシナリオを紹介する。以下、論理故障を故障診断の対象とする。すなわち、フェイルしている LSI は論理回路として動作する。故障の振る舞いを故障モデルとして表す。故障モデルとして、これまで、主に単一（多重）縮退故障が扱われてきたが、最近の微細化に伴い、ブリッジ故障 (AND/OR)、ドライブ故障、オープン故障、遅延故障およびクロストーク故障などが顕在化し、その故障診断が必要になってきた。

これらの故障モデルは、テストに依存しない固定的な欠陥である縮退故障、ブリッジ故障 (AND/OR) と、テストに依存して発生する動的な欠陥であるドライブ故障、オープン故障に大別される。近年のナノメータ LSI では、その微細化がいつそう進むことで、配線やビアの断線の発生頻度が高まっている。そこで第5章では、筆者らが開発したナノメータ LSI のオープン故障に関する最新の研究成果を概説する。

一般にスキャン設計の回路の故障診断では一つの故障モデルを仮定して、フェイルテストのフェイル FF の状態に最も一致する故障を、フェイル FF から入力側へ経路を追跡することと故障シミュレーションを併用して推定するのが普通である。

しかしながら、ポスト BIST 故障診断では、このシナリオが使えない。第2章の (C1) フェイル FF を知ることができない。(C2) 不確かなフェイルテスト集合である、からである。

われわれが提案するポスト BIST 故障診断システムの概要を Fig. 6 に示す。以下、説明を簡単にするため、診断の対象とする故障のモデルを単一縮退故障として説明しよう [2]。その他の故障の振る舞いは縮退故障で説明できる場合が多く、縮退故障が故障モデルの基本と考えられるからである。

仮定した故障を与えられたテストによる故障シミュレーションで検出できる（できない）ことを、簡単のため単に、「検出できる（できない）故障」という。

われわれが開発したポスト BIST 故障診断システムおよびポスト BIST 故障診断アルゴリズムは、次のように構成される。

ポスト BIST 故障診断システムの構造

本体：(商用)単一縮退故障シミュレータ
から構成するポスト BIST 故障診断
アルゴリズム
入力：不確かなフェイルテスト集合とパス
テスト集合、回路記述および対象と
する故障モデルとその故障リスト
出力：故障箇所（推定される故障候補）

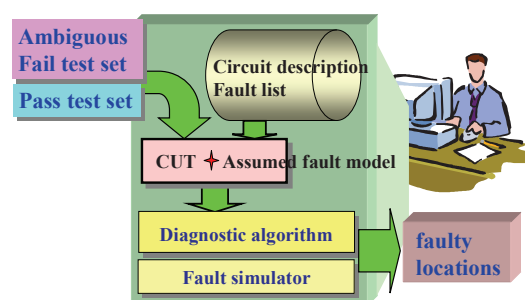


Fig. 6 Scheme of post-BIST fault diagnosis

ポスト BIST 故障診断アルゴリズムの概要

(フェーズ 1) 第 1 次の故障候補の絞り込み

S1: 不確かなフェイルテスト集合のテストで検出できる故障を故障候補とする。

S2: パステストで検出できる故障を故障候補から削除する。

(フェーズ2) 不確かなフェイルテスト集合に含まれるパステストの抽出

S3: 不確かなフェイルテスト集合の中のあるテストが, フェーズ1 で得られた故障候補を検出できないとき, そのテストを不確かなフェイルテスト集合からパステスト集合に移す。

S4: 修正された不確かなフェイルテスト集合で検出できる故障を検出回数に応じてランク付けを行う。

(フェーズ3) 第2次の故障候補の絞り込み

S5: S4 の最大検出回数をもつ故障候補を診断結果とする。 □

診断時に仮定する故障モデルがフェイル LSI の故障と異なるとき, フェイルテストの故障シミュレーションにより実際の故障とは異なる故障を推定する。これが故障診断における故障箇所の見逃しである。また, フェイルテストの故障シミュレーションで仮定した故障を検出できない場合が生じる。このことは ATE の結果と矛盾する, などの課題が生じる。

4. 実験結果

4.1 単一縮退故障に対するポスト BIST 故障診断[2], [4]

第3章のポスト BIST 診断アルゴリズムをコンピュータに実装して, 3,406 個の故障回路に適応した診断実験の結果を Fig. 7 に示す。

実験に用いた故障回路は, ISCAS ベンチマーク回路に単一縮退故障を挿入したものである。また, 実験では不確かなフェイルテスト集合に含まれるパステストの比率を 10% としている。

Fig. 7 からほとんどの回路に対して故障候補を 1~5 程度に絞り込むことができ, また, アルゴリズムのステップ S5 で得られた診断結果は, 挿入した故障に 99.2% 一致したことを確認している。

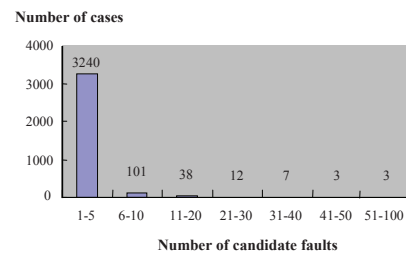


Fig. 7 Results of post-BIST diagnosis for single stuck-at fault

4.2 多重縮退故障に対するポスト BIST 故障診断[9]

多重縮退故障に対するアルゴリズムも同様の考え方で実現できる。このとき, アルゴリズムの各ステップにおいて多重縮退故障に対応した処理を行う。実現した多重縮退故障に対するポスト BIST 故障診断アルゴリズムを用いて 2~4 重の縮退故障回路で実験した。不確かなフェイルテスト集合に含まれるパステストの比率を 5% としたテスト集合で故障候補を 5 個に絞り込んだとき, その中に少なくとも一つの挿入した故障を含む (成功の) 比率 (Suc. Ratio) の平均が 96.7% であった (Table 1)。

Table 1
SUCCESS RATIO FOR DOUBLE, TRIPLE, AND QUADRUPLE FAULTS

	Double	Triple	Quadruple
Suc. Ratio (%)	96.5	97.2	96.5

4.3 複数故障モデルに対するポスト BIST 故障診断[3], [8]

テスト技術者は故障診断を開始する前に、どのような故障モデルで説明できる欠陥が生じているのかを知ることはできない。そこで、この状況を考慮して、故障モデルを一つに仮定しないポスト BIST 故障診断アルゴリズムを開発した[3]。実験では、単一縮退故障、多重縮退故障、AND ブリッジ故障、OR ブリッジ故障、Drive ブリッジ故障、またはオープン故障のいずれか一つの故障を挿入した故障回路をそれぞれ 20 個用意した。不確かなフェイルテスト集合に含まれるパステストの比率を 5 %とした実験結果を **table 2** に示す。**Table 2**において、Ident. Ratio, Suc. Ratio, および cf は、それぞれ、挿入された故障モデルの指摘率(%), 成功率(%), および平均故障候補数である。また、成功率とは、挿入した故障モデルあるいは故障候補に挿入故障箇所が含まれている比率である。**Table 2** から、故障のモデルの指摘率および診断成功率が、それぞれ平均 88%および 97%であることが分かる。また、故障候補を 1.3 個程度に絞り込んでいる。

Table 2
RESULTS OF POST-BIST FAULT DIAGNOSIS FOR MULTIPLE FAULT MODELS

	Single	AND	OR	Drive	Open	Multi	Ave.
Ident. Ratio(%)	100	92.1	85.4	80.4	93.8	73.8	87.6
Suc. Ratio(%)	100	96.3	92.9	97.1	100	96.3	97.1
Number of cf	1.90	1.11	1.08	1.19	1.00	—	1.26

われわれは、ブリッジ故障(AND/OR)、ドライブ故障、オープン故障などの故障モデルに、それぞれ対応するポスト BIST 診断アルゴリズムも開発している[5], [7]。

5. オープン故障の新しい故障モデルとその故障診断法

5.1 オープン故障のしきい値関数モデル[10], [11]

長距離配線や銅配線の導入によりオープン故障の発生の頻度が高まっている。微細化が進むナノメータ LSI におけるオープン故障の振舞いは、従来の縮退故障を用いる故障モデル[5]とは異なる振舞いをする事が報告されている。そこで、われわれは先に、オープン信号線の論理値が隣接信号線の論理値の多数決で決まる多数決モデルを提案した[6]。最近、われわれは 90nm プロセスの TEG チップを製作し、オープン故障の振舞いを解析した。その結果、オープンしている信号線の電位は、それぞれの隣接信号線の電位とその影響度 W (weight)の積の和に依存することを確認した[10]。

この結果に基づいて、オープン故障信号線における論理値は、隣接信号線の電位と重みで表されるしきい値関数である、というオープン故障のしきい値故障モデルを提案した[11]。

例えば、**fig. 8**において、オープン故障信

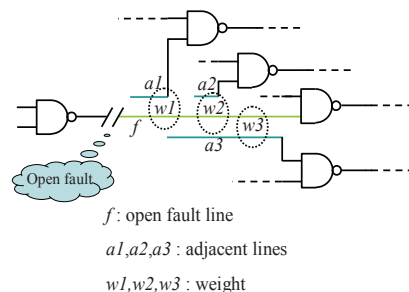


Fig. 8 Open fault with 3 adjacent lines

号線を f , 3つの隣接信号線を $a1, a2, a3$ とし, それぞれの電位を $v1, v2, v3$, 重みを $w1, w2, w3$ とすると,

$$Vf = 1 \quad \text{if } \sum w \times v \geq Vth$$

$$Vf = 0 \quad \text{if } \sum w \times v < Vth$$

となる。ここで, Vf は f の論理値, $\sum w \times v$ は 3 つの $w \times v$ の和, Vth は信号線 f の次段のゲートのしきい電圧である。

5.2 しきい値関数モデルで表されるオープン故障のポスト BIST 故障診断法とその評価

本診断法は次の 4 つのフェーズから成る。

(フェーズ 1) 縮退故障シミュレーションによる故障候補の絞込み

すべてのフェイルテストで 0 または 1 の縮退故障を検出できる信号線を被疑故障とする。

(フェーズ 2) 故障励起関数の推定および単調性の判定

以下の条件に基づいて, 故障信号線 f の故障励起関数を推定し, その単調性を判定する。

- f の論理値は, 隣接信号線の論理値の組合せで決まる。
- すべてのフェイルテストにおいて f に誤りが生じる。
- あるパステストで f の縮退故障が検出可能であるとき, そのパステストで f に誤りは生じない。
- 推定した故障励起関数の単調性を判定する。

(フェーズ 3) 故障励起関数の完全単調性の判定

8 変数以下の完全単調関数はしきい値関数であることを利用して, 故障励起関数がしきい値関数であるか否かを判定する。

(フェーズ 4) 故障候補信号線のオープン位置の推定

推定したしきい値関数の重みの大小関係から, f のオープン位置を推定する。 □

提案した故障診断法の評価を, ISCAS' 89 ベンチマーク回路, ITC' 99 ベンチマーク回路の 100 個の故障回路に対して行った。実験では, 回路の出力応答は MISR などで圧縮されていることを想定し, 各テストでのパス/フェイル情報のみを用いて診断を行っている。その結果, ほとんどの故障回路に対して, 被疑故障を 1 箇所 to 特定することができ, また, 特定した故障信号線のオープン位置を故障信号線長の 1/4 程度の範囲に絞り込むことができた。

6. ま と め

BIST でフェイルした LSI の故障箇所を短期間に効率よく推定することが求められている。本稿では, BIST 後の故障診断は, 「テストパターン毎のパス/フェイル情報のみであること。パステスト集合はパステストのみの集合であるが, フェイルテスト集合にはパステストが含まれる。」という条件下で行わなければならないことを述べた。次に, その制約を克服するポスト BIST 故障診断法の基本的アルゴリズムを提案した。また, われわれが開発したポスト BIST 故障診断法を単一 (多重) 縮退故障および複数故障モデルに適用した実験結果の一部を示し, その有効性を明らかにした。また, 最新のナノメータ LSI に顕在化するオープン故障の新しいモデルを提案しその故障診断の概要を示した。これらの成果から, ナノメータ LSI の BIST 後の故障診断に対する一つのシナリオの入り口が見えたと考えている。

参 考 文 献

- [1] C. Liu and K. Chakrabarty : Failing Vector Identification Based on Overlapping Intervals of Test Vectors in a Scan-BIST Environment, IEEE Trans. on Computer-Aided Design, 22, 5, pp.593-604, 2003.
- [2] H. Takahashi, Y. Tsugaoka, H. Ayano, and Y. Takamatsu : BIST Based Fault Diagnosis Using Ambiguous Test Set, Proc. IEEE Defect and Fault Tolerance in VLSI Systems Symposium, pp.89-96, 2003.
- [3] Y. Takamatsu, T. Seiyama, H. Takahashi, Y. Higami, and K. Yamazaki : On the Fault Diagnosis in the Presence of Unknown Fault Models using Pass/Fail Information, Proc. Int. Symposium on Circuit and Systems, ISCAS'05, pp.2987-2990, 2005.
- [4] 高橋寛, 山本幸大, 樋上喜信, 高松雄三: BIST 環境における不確かなテスト集合による単一縮退故障の一診断法, 電子情報通信学会, 論文誌 D-I, Vol. J88-D-I, 6, pp.1029-1038, 2005.
- [5] 佐藤雄一, 高橋寛, 樋上喜信, 高松雄三: 検出／非検出情報に基づくオープン故障の一診断法, 電子情報通信学会, 論文誌 D-I, Vol. J89-D-I, 4 , pp.778-789, 2006.
- [6] H. Takahashi, Y.Higami, S. Kadoyama, T. Aikyo, Y. Takamatsu, K. Yamazaki, T. Tsutsumi, H. Yotsuyanagi and M. Hashizume : Clues for Modeling and Diagnosing Open Faults with Considering Adjacent Lines, Proc. ATS, pp.39-44, 2007.
- [7] K. Yamazaki, Y. Takamatsu : A Method of Locating Faults on Incompletely Identified Pass/fail Information, IEICE Trans. INF. & SYST., Vol. E91-D, 3, pp.661-666, 2008.
- [8] Y. Takamatsu, H. Takahashi, Y. Hogami, T. Aikyo, K. Yamazaki : Fault Diagnosis on Multiple Fault Models by Using Pass/Fail Information, IEICE Trans. INF. & SYST., Vol. E91-D, 3, pp.675-682, 2008.
- [9] H. Takahashi, Y. Higami, S. Kadoyama, Y. Takamaysu, K. Yamazaki, T. Aikyo, and Y. Sato : Post-BIST Fault Diagnosis for Multiple Faults, IEICE Trans. INF. & SYST., Vol. E91-D, 3, pp.771-775, 2008.
- [10] H. Yotsuyanagi, M. Hashizume, H. Takahashi, T. Tsutsumi, K. Yamazaki, T. Aikyo, Y. Higami and Y. Takamatsu : Fault Effect of Open Faults Caused by Adjacent Signal Lines in a 90nm IC, Proc. 22nd Int. Cof. on VLSI Design, 2009. (to appear)
- [11] K. Yamazaki, T. Tsutsumi, H. Takahashi, Y. Higami, T. Aikyo, H. Yotsuyanagi, M. Hashizume, Y. Takamatsu : A Novel Approach for Improving the Quality of Open Fault Diagnosis, Proc. 22nd Int. Cof. on VLSI Design, 2009. (to appear)

謝 辞

本研究は一部, (株)半導体理工学研究センター(STARC)との共同研究の研究助成による。また, 本研究は, 高松研究グループの愛媛大学大学院理工学研究科高橋寛准教授, 樋上喜信准教授, 明治大学コミュニケーション学部山崎浩二准教授, 同大学理工学部堤利幸講師, 徳島大学大学院先端技術科学教育部橋爪正樹教授および四柳浩之准教授らとの共同研究の一部である。ここに STARC および高松研究グループの諸氏に深く感謝する。