

(第3号様式)(Form No. 3)

学位論文要旨

氏名 (Name)

亀山修一

論文名:

高速高密度実装ボードテスト技術と

その三次元 LSI テストへの応用に関する研究

(Dissertation Title)

LSI (Large Scale Integration) が多数実装されたボードのテスト技術において、LSI の大規模化に伴いそれまでのボードテスト技術では対応できず、世代ごとに新しいボードテスト技術を開発してきた。本論文では歴代の大型計算機用 LSI 実装ボードをテストするために開発されたボードテスト技術を事例として、LSI の進化に伴いボードテスト技術がいかに発展してきたかを考察する。また近年ボードテストで広く使われるようになったバウンダリスキャンテストにおいて、テスト実行中に LSI 内部で起こる擾乱の発生メカニズムを解明しその対策を述べる。さらに、論理構造上は実装ボードに非常に近い三次元 LSI をテストするために、ボードテスト技術の応用を提案し、その実証実験とシミュレーションの結果を示す。最後に、テストパターンの高品質化のために欠陥検出確率に基づくテストパターン選択法を提案し、ベンチマーク回路に対する計算機実験において有効性を評価する。

富士通は約 40 年前に当時黎明期であった LSI を世界に先駆けて大型計算機に全面採用したが、この時の LSI の規模は 100 ゲートであった。その後 LSI の規模はムーアの法則 (18-24 ヶ月毎に 2 倍の集積度) どおり増大し続けて、今年 2013 年に富士通が発表(@HotChios25)した最新のプロセッサ SPARC64X+には約 30 億個のトランジスタが作り込まれ、ゲート換算では 7.5 億ゲートの規模となった。LSI 1 個の回路規模が 40 年間で約 750 万倍に拡大されたわけである。

LSI を実装したボードのテストは、LSI の大規模化や高性能化に伴い、それまでのボードテスト方法では対応できず、世代ごとにそのテスト方法を発展させてきた。筆者は初代の LSI 実装ボードのテスト技術開発を担当して以来、今日まで一貫してボードテスト技術開発に関わってきた。その経験に基づき本論文の前半では、ボードファンクションテスト、スキャンテスト、ピンスキャンテストそしてバウンダリスキャンテストへと発展してきたボードテスト技術について、LSI の進化との関係について考察した。

IEEE 標準のバウンダリスキャンテストは、近年広く普及しはじめている。本論文ではこれまで論じられることがなかったバウンダリスキャンテスト中に LSI 内部でおこる内部擾乱の発生メカニズムを解明して、その対策を提案する。またこの問題発生を未然防止する施策も提案する。

これまで LSI は半導体加工プロセスの微細化により回路の大規模化を実現してきたが、微細化が原子レベルに近づいてきており、ムーアの法則の終焉が論じられている今日、「more Moore から more than Moore」の実現手段として三次元 LSI が注目されている。三次元 LSI とは LSI チップを三次元的に縦方向に積み重ねてチップ間を貫通電極 (TSV : Through Silicon Via) で相互接続したもので、一方実装ボードとは二次元的に LSI チップを横方向に並べてチップ間を基板の導体パターンで相互接続したものである。すなわち、物理構造は違うが論理構造はほぼ同じであり、ボードテスト技術の多くが三次元 LSI テストに応用可能である。本論文ではボードテスト用に開発されたアナログバウンダリスキャンテスト技術を拡張した三次元 LSI の TSV 精密抵抗計測法を提案する。提案手法の実現可能性を評価するために行なった小規模回路での実証実験および大規模回路でのアナログシミュレーションの結果をそれぞれ報告する。

<本論文の構成>

- 第 1 章：序論 本論文の目的と構成を述べる。
- 第 2 章：電子製造業におけるテストの位置づけとその考え方を整理し、基本的なボードテスト技術の状況について述べる。
- 第 3 章：大規模化する LSI を搭載した大型計算機用ボードをテストするために、世代ごとに開発したボードテスト技術の進化について考察する。
- 第 4 章：バウンダリスキャンテスト技術の基礎となったピンスキャンによるネットテスト技術そしてボードディレイテスト技術について述べる。
- 第 5 章：バウンダリスキャンテストの基本技術を述べたうえで、テスト中に LSI 内部でおこる内部擾乱の発生メカニズムを解明しその対策を提案する。
- 第 6 章：アナログバウンダリスキャンテスト技術を拡張した三次元 LSI の TSV 精密抵抗計測法を提案し、実証実験とシミュレーションの結果を報告する。
- 第 7 章：LSI の製造過程で混入する配線の物理的欠陥に起因する多様な故障を検出できる高品質なテストパターンを選択する方法を提案する。
- 第 8 章：結論 まとめと今後の課題