

(第6号様式)

学位論文審査の結果の要旨

氏名	亀山 修一
審査委員	主査 高橋 寛
	副査 村上 研二
	副査 天野 要
	副査 樋上 喜信

論文名 高速高密度実装ボードテスト技術とその三次元 LSI テストへの応用に関する研究

審査結果の要旨

本研究は、40年にわたる実装ボードテスト技術開発の経験が基礎となっている。学位論文では、まず、富士通の大型計算機で使われた大規模集積回路 (LSI) の規模が、40年間で約1000万倍に拡大され、それに伴い発展してきたテスト技術を具体的事例により整理している。次に、以下の4つの研究テーマ、1) ピンスキャンによる相互接続テスト技術、2) バウンダリスキャンテストにおいて、テスト実行中に LSI 内部で起こる擾乱の発生メカニズムの解明、3) 三次元 LSI の TSV 抵抗計測のためにボードテスト技術であるアナログバウンダリスキャンテストを拡張した精密抵抗計測技術、および4) 欠陥検出確率に基づいてテストパターンを選択する手法に関する研究成果をそれぞれ述べている。

1) ピンスキャンによる相互接続テストとボードディレイテスト

バウンダリスキャンテストの基礎となったピンスキャンによる相互接続試験、およびボード上の LSI 間伝搬遅延のディレイテストを実現するための基本技術をそれぞれ提案している。国内でのバウンダリスキャンテストの普及に貢献し、産業界からの高い評価を得ている。

2) バウンダリスキャンテスト実行中に LSI 内部で起こる擾乱

バウンダリスキャンテストにおいて、テストパターン開発中にテスト技術者を悩ませる不可解なテスト障害がおこることがある。いくつかのテストブロックから構成されるテストパターンにおいて、各ブロックの個別テスト実行では正常にテストできるにも関わらず、連続して全ブロックをテストするとあるテストブロック以降のテストパターンがすべて誤り応答となってしまう現象である。本論文では、富士通のパソコンボードで実際に起こったテスト障害を深く分析し、バウンダリスキャンテスト実行時に外界との通信が遮断された LSI 内部回路がアラーム状態に陥ることで発生することを解明し、この現象を内部擾乱と命名している。

これまでバウンダリスキャンテストに関する多くの研究は LSI の外側の回路をテストすることに向けられていたが、バウンダリスキャンテスト中の LSI 内部の現象を解明した本研究は画期的である。

本研究発表により国内外のテスト技術者から問題解決の報告を受けるなど、バウンダリスキ

キャンテスト生成上の課題解決に貢献している。さらに、本発表により内部擾乱が IEEE 1149.1 バウンダリスキャンテスト規格改定 WG メンバーに認知され、その対策が 2013 年版の規格に盛り込まれた。本研究は IEEE 標準規格の規格改訂にも貢献している。

3) ボードテスト技術の三次元 LSI テストへの応用

三次元 LSI とは LSI チップを三次元的に縦方向に積み重ねてチップ間を貫通電極 (TSV: Through Silicon Via) で相互接続したものである。本論文ではボードテスト用のアナログバウンダリスキャンテスト技術を機能拡張した、三次元 LSI の TSV 精密抵抗計測法を提案している。そして提案法を評価するための小規模回路での実証実験では高精度計測 (誤差 $\pm 3\%$ @ $100\text{m}\Omega$) を確認、またアナログシミュレーションにより数万ピン規模の TSV を実装した三次元 LSI に適用可能であることを検証している。

電子製造業において、三次元実装状態でかつ多ピン (数万)、狭ピッチ ($<40\mu\text{m}$) の TSV の抵抗計測を実現できたことは、非常に大きな貢献である。提案法は、三次元 LSI の製造歩留まりを制御するためには必須の技術であり、三次元 LSI 開発の実用化を加速すると期待される。

4) 欠陥検出向けテストのためのテストパターン選択法

新たに欠陥検出確率を定義し、それを導入したテストパターン選択法を提案している。また、ISCAS89 ベンチマーク回路に対して有効性を評価し、従来のテスト集合に比べてより多様な故障を検出できること明らかにしている。

学位論文の構成を以下に示す。

第 1 章: 本論文の目的を述べている。

第 2 章: 電子製造業におけるボードテスト技術の状況を述べている。

第 3 章: 開発したボードテスト技術の進化を述べている。

第 4 章: ピンスキャンによるボードディレイテスト技術を述べている。

第 5 章: バウンダリスキャンテスト中に LSI 内部でおこる内部擾乱の発生メカニズムを解明し、その対策を提案している。

第 6 章: アナログバウンダリスキャンテスト技術を拡張した三次元 LSI の TSV 精密抵抗計測法を提案し、実証実験とシミュレーションの結果を示している。

第 7 章: 多様な故障を検出できる高品質なテストパターンを選択する方法を提案している。

第 8 章: まとめを述べている。

上記の学位論文は、学術的に優れた内容であることと、その内容については既に 2 件の査読付き論文に採録されており、また 4 件の査読付きの国際会議に採択されていることから、審査委員会全員一致して、博士 (工学) にふさわしい学位論文であると判断した。