

高速高密度実装ボードテスト技術と  
その三次元 LSI テストへの応用に関する研究

亀山修一

2013年12月



学位論文

高速高密度実装ボードテスト技術と  
その三次元 LSI テストへの応用に関する研究

A study of test technology for high speed high density loaded  
boards and its application to three dimensional LSI test

亀山 修一

愛媛大学大学院理工学研究科  
電子情報工学専攻博士後期課程

2013年12月



## 論文要旨

LSI (Large Scale Integration) が多数実装されたボードのテスト技術において、LSI の大規模化に伴いそれまでのボードテスト技術では対応できず、世代ごとに新しいボードテスト技術を開発してきた。本論文では歴代の大型計算機用 LSI 実装ボードをテストするために開発されたボードテスト技術を事例として、LSI の進化に伴いボードテスト技術がいかに発展してきたかを考察する。また近年ボードテストで広く使われるようになったバウンダリスキャンテストにおいて、テスト実行中に LSI 内部で起こる擾乱の発生メカニズムを解明しその対策を述べる。さらに、論理構造上は実装ボードに非常に近い三次元 LSI をテストするために、ボードテスト技術の応用を提案し、その検証実験とシミュレーションの結果を示す。最後に、テストパターンの高品質化のために欠陥検出確率に基づくテストパターン選択法を提案し、ベンチマーク回路に対する計算機実験において有効性を評価する。

富士通は約 40 年前に当時黎明期であった LSI を世界に先駆けて大型計算機に全面採用したが、この時の LSI の規模は 100 ゲートであった。その後 LSI の規模はムーアの法則 (18-24 ヶ月毎に 2 倍の集積度) どおり増大し続けて、今年 2013 年に富士通が発表([@HotChios25](#))した最新のプロセッサ SPARC64X+には約 30 億個のトランジスタが作り込まれ、ゲート換算では 7.5 億ゲートの規模となった。LSI 1 個の回路規模が 40 年間で約 750 万倍に拡大されたわけである。

LSI を実装したボードのテストは、LSI の大規模化や高性能化に伴い、それまでのボードテスト方法では対応できず、世代ごとにそのテスト方法を発展させてきた。筆者は初代の LSI 実装ボードのテスト技術開発を担当して以来、今日まで一貫してボードテスト技術開発に関わってきた。その経験に基づき本論文の前半では、ボードファンクションテスト、スキャンテスト、ピンスキャンテストそしてバウンダリスキャンテストへと発展してきたボードテスト技術について、LSI の進化との関係について考察した。

IEEE 標準のバウンダリスキャンテストは、近年広く普及しはじめている。本論文

ではこれまで論じられることがなかったバウンダリスキャンテスト中に LSI 内部でおこる内部擾乱の発生メカニズムを解明して、その対策を提案する。またこの問題発生を未然防止する施策も提案する。

これまで LSI は半導体加工プロセスの微細化により回路の大規模化を実現してきたが、微細化が原子レベルに近づいてきており、ムーアの法則の終焉が論じられている今日、「more Moore から more than Moore」の実現手段として三次元 LSI が注目されている。三次元 LSI とは LSI チップを三次元的に縦方向に積み重ねてチップ間を貫通電極 (TSV : Through Silicon Via) で相互接続したもの、一方実装ボードとは二次元的に LSI チップを横方向に並べてチップ間を基板の導体パターンで相互接続したものである。すなわち、物理構造は違うが論理構造はほぼ同じであり、ボードテスト技術の多くが三次元 LSI テストに応用可能である。本論文ではボードテスト用に開発されたアナログバウンダリスキャンテスト技術を拡張した三次元 LSI の TSV 精密抵抗計測法を提案する。提案手法の実現可能性を評価するために行なった小規模回路での実証実験および大規模回路でのアナログシミュレーションの結果をそれぞれ報告する。

#### <本論文の構成>

第 1 章：序論 本論文の目的と構成を述べる。

第 2 章：電子製造業におけるテストの位置づけとその考え方を整理し、基本的なボードテスト技術の状況について述べる。

第 3 章：大規模化する LSI を搭載した大型計算機用ボードをテストするために、世代ごとに開発したボードテスト技術の進化について考察する。

第 4 章：バウンダリスキャンテスト技術の基礎となったピンスキャンによるネットテスト技術そしてボードディレイテスト技術について述べる。

第 5 章：バウンダリスキャンテストの基本技術を述べたうえで、テスト中に LSI 内部でおこる内部擾乱の発生メカニズムを解明しその対策を提案する。

第 6 章：アナログバウンダリスキャンテスト技術を拡張した三次元 LSI の TSV 精密抵抗計測法を提案し、実証実験とシミュレーションの結果を報告する。

第7章：LSI の製造過程で混入する配線の物理的欠陥に起因する多様な故障を検出できる高品質なテストパターンを選択する方法を提案する。

第8章：結論 まとめと今後の課題

謝辞

研究業績一覧

1. 学術論文（査読あり）
2. 国際会議論文（審査あり）
3. 学会誌掲載論文
4. 研究会発表論文
5. 著書
6. 委員会等
7. 特許

<国内登録特許>

<米国登録特許>

三次元 LSI テスト論文サーベイリスト

参考文献

## 目次

### 第1章 序論 1

<b>第2章 ボードテスト</b>	<b>7</b>
1. 電子製造業におけるテスト	7
2. 10倍の法則とテストコスト	8
3. ボード製造工程とボードテスト	9
1) 外観検査	10
2) 構造テスト	10
3) ファンクションテスト (機能テスト)	13
4) ボードテストのまとめ	15
<b>第3章 高速高密度実装ボードテスト技術</b>	<b>17</b>
1. ECL 第1世代のボードファンクションテスト	17
1) M190用高速高密度実装ボードMCC	17
2) ファンクションテスト方式	18
3) F8010MCCファンクションテスター	20
2. ECL 第2・第3世代のスキャン方式ボードファンクションテスト	20
1) M380用高速高密度実装ボードS-MCC	21
2) スキャン方式ボードファンクションテスト	21
3) S78-25S S-MCCファンクションテスター	24
3. ECL 第4世代のピンスキャン方式ボードテスト	26
1) M1800用高速高密度実装ボードMLA	26
2) ピンスキャンによる相互接続テストとボードディレイテスト	26
3) S78-85S MLAテスター	28
4. CMOS世代のバウンダリスキャン方式によるボードテスト	29
1) GS8000用高速高密度実装モジュールMCMとマザーボード	29

2)	バウンダリスキャン方式のボードテスト	30
3)	MCM テスター	32
5.	LSI の大規模化に伴うボードテスト技術の進化	33
6.	今後のボードテスト	35
<b>第 4 章 ピンスキャンによる相互接続テストとボードディレイテスト</b>		<b>39</b>
1.	高速高密度実装ボード MLA	39
2.	従来のボードテストの問題点	40
1)	インサーキットテスト	40
2)	ファンクションテスト	41
3.	ネットテスト	41
4.	ボードディレイテスト	43
5.	ボードテスター	45
1)	ピンエレクトロニクス	46
2)	スキャン制御	48
3)	クロック制御	48
4)	故障診断	49
5)	マージンテスト	50
6.	効果	50
<b>第 5 章 バウンダリスキャンテスト</b>		<b>51</b>
1.	バウンダリスキャンテスト	51
1)	見えない触れないボードの実装テスト	51
2)	バウンダリスキャンテストとは	52
3)	バウンダリスキャンテストの原理	52
4)	バウンダリスキャンテストの例	54
5)	バウンダリスキャンの効果	54
2.	バウンダリスキャンテスト実行時の IC 内部の擾乱	55

1)	バウンダリスキャン動作とボードの異常状態	56
2)	ボードの異常状態の解析	57
3)	内部擾乱によるボードの異常状態発生事例	60
4)	ボードの異常状態発生の対策	62
5)	IC 内部の擾乱のまとめと課題	63
<b>第 6 章 ボードテスト技術の三次元 LSI テストへの応用</b>		<b>65</b>
1.	二次元実装と三次元実装	65
2.	三次元積層集積回路の製造プロセス	66
3.	三次元積層集積回路の製造欠陥とテスト	67
4.	三次元積層集積回路テストのこれまでの研究サーベイ	68
5.	アナログバウンダリスキャン	68
1)	バウンダリスキャンテストの拡張規格とその動向	68
2)	IEEE1149.4 アナログバウンダリスキャン	69
6.	アナログバウンダリスキャンによる三次元積層後の TSV 抵抗精密計測法	70
1)	TSV 抵抗値を計測する意義	71
2)	アナログバウンダリスキャンを TSV 抵抗計測に適用する場合の問題	72
3)	TSV 抵抗計測のためのアナログバウンダリスキャンの拡張法	75
4)	検証実験結果	77
5)	TSV 抵抗精密計測法のまとめと今後の課題	79
<b>第 7 章 欠陥検出向けテストのためのテストパターン選択法</b>		<b>81</b>
1.	欠陥検出向けテスト	81
2.	準備	84
1)	抵抗性ブリッジ故障[Iraj03]	84
2)	抵抗性オープン故障[Taka10]	84
3)	欠陥検出向けテスト[Higa11]	85
4)	故障励起関数	85

5) 故障励起率および故障検出率	86
6) 活性化経路評価関数および活性化平均経路長	87
7) テストパターンにおける欠陥検出確率	89
3. 欠陥検出テストのためのテストパターン選択法	89
1) テストパターン選択法の概要	89
2) 欠陥検出向けテストのためのテストパターン選択法の手順	90
4. 提案法の例	91
5. 評価実験結果	92
6. 欠陥検出向けテストのまとめと今後の課題	93
<b>第8章 結論</b>	<b>95</b>
<b>謝辞</b>	<b>98</b>
<b>研究業績一覧</b>	<b>99</b>
1. 学術論文（査読あり）	99
2. 国際会議論文（審査あり）	99
3. 学会誌掲載論文	100
4. 研究会発表論文	100
5. 著書	102
6. 委員会等	103
7. 特許	103
〈国内登録特許〉	103
〈米国登録特許〉	105
<b>三次元LSI テスト論文サーベイリスト</b>	<b>106</b>
<b>参考文献</b>	<b>113</b>

## 図目次

図 2-1	ものづくり全体の流れ	7
図 2-2	10 倍の法則	9
図 2-3	ボードの製造工程とテスト	9
図 2-4	ICT のテスト原理	10
図 2-5	ICT の構造	11
図 2-6	従来の構造テスト方法	12
図 2-7	高密度実装の進展に伴う従来テスト方式の破綻	13
図 3-1	M190 用高速高密度実装ボード MCM	17
図 3-2	ファンクションテスト方式	18
図 3-3	F8010 MCC ファンクションテスター	20
図 3-4	M380 用高速高密度実装ボード S-MCM	21
図 3-5	スキャン方式によるボードテスト	22
図 3-6	ランダムアクセススキャン方式のスキャンラッチの例	23
図 3-7	S78-25S S-MCC ファンクションテスター	25
図 3-8	M1800 用高速高密度実装ボード MLA	26
図 3-9	ピンスキャンによる相互接続テスト	27
図 3-10	S78-85S MLA テスター	28
図 3-11	GS8000 シリーズの MCM とマザーボード	29
図 3-12	バウンダリスキャンテストによるボードテスト	31
図 3-13	MCM テスター	32
図 3-14	LSI の規模拡大とボードテスト方式の進化	34
図 3-15	CMOS 世代の LSI 規模の推移	35
図 4-1	M1800 用高速高密度実装ボード MLA	40
図 4-2	ピンスキャンアウトのための DFT	42

図 4-3	LSI 出力ピンの出力論理値決定方式	42
図 4-4	ネットテストの原理	43
図 4-5	ボードディレイテストのテスト経路	44
図 4-6	ボードディレイテストの原理	45
図 4-7	テスターのシステム構成	46
図 4-8	1 テストサイクルの構成	47
図 4-9	PE-Scan 方式	47
図 4-10	ピンエレクトロニクス	48
図 4-11	故障診断リスト	49
図 4-12	ボードテスター	50
図 5-1	はんだ接合点が見えない触れない近年のボード	52
図 5-2	バウンダリスキャンテストの原理	53
図 5-3	バウンダリスキャンテストの例	54
図 5-4	バウンダリスキャンの故障診断リスト	55
図 5-5	バウンダリスキャンセルの動作	56
図 5-6	コア回路でのウォッチドックタイマーの動作例	58
図 5-7	テストモードの遷移	59
図 5-8	実験に使ったパソコンのマザーボード	60
図 5-9	ボードのブロック図とテスト治具	61
図 6-1	二次元実装と三次元実装	65
図 6-2	3D-LSI の製造プロセス	66
図 6-3	3D-LSI の製造欠陥とバウンダリスキャンテスト	67
図 6-4	アナログバウンダリスキャンテスト	69
図 6-5	デジタルエミュレーションによるアナログネットのテスト	70
図 6-6	プロセス異常の発見	71
図 6-7	1149.4 規約の対地電圧差分法による抵抗計測	73
図 6-8	対地電圧差分法での計測誤差の問題	74
図 6-9	フローティング電圧計測法	75

## x 図目次

図 6-10	フローティング計測と電圧電流経路分離	76
図 6-11	ABM のグループ化と複数 TBIC 配置	77
図 6-12	小規模実験回路構成	78
図 6-13	実験装置	78
図 7-1	抵抗性ブリッジ故障モデル	84
図 7-2	抵抗性オープン故障モデル	85

## 表 目 次

表 1	実験結果	78
表 2	大規模回路でのシミュレーション結果	79
表 3	提案法の適用例	91
表 4	故障リスト $F_{tr}$ の例	92
表 5	抵抗性ブリッジ故障検出実験結果	93
表 6	抵抗性オープン故障検出実験結果	93



# 第1章 序論

LSI (Large Scale Integration) が多数実装されたボードのテスト技術において、LSI の大規模化に伴いそれまでのボードテスト技術では対応できず、世代ごとに新しいボードテスト技術を開発してきた。本論文では歴代の大型計算機用 LSI 実装ボードをテストするために開発されたボードテスト技術を事例として、LSI の進化に伴いボードテスト技術がいかに発展してきたかを考察する。次に、近年ボードテストで広く使われるようになったバウンダリスキャンテストにおいて、テスト実行中に LSI 内部で起こる擾乱の発生メカニズムを解明しその対策を述べる。さらに、論理構造上は実装ボードに非常に近い三次元 LSI をテストするために、ボードテスト技術を応用することを提案し、その検証実験とシミュレーションの結果を報告する。最後に、テストパターンの高品質化のために欠陥検出確率に基づくテストパターン選択法を提案し、ベンチマーク回路に対する計算機実験において有効性を評価する。

## LSI の大規模化

スマートフォンをはじめカーナビや高精細薄型テレビなど身近な電子機器が急速に進歩し普及拡大し続けている。それら電子機器の進歩は、いうまでもなく LSI (Large Scale Integration) の高集積化が牽引している。50 年前にインテルの Gordon Moore 博士が予言したように、LSI の集積度は約 2 年(18-24 ヶ月)で 2 倍のペースで今でも増加し続けている (ムーアの法則)。

富士通は約 40 年前に当時黎明期であった LSI を世界に先駆けて大型計算機に全面採用したが、この時の LSI の規模は 100 ゲートであった。その後 LSI の規模はムーアの法則どおり増大し続けて、今年 2013 年に富士通が発表(@HotChios25)した最新のプロセッサ SPARC64 X+ には約 30 億個のトランジスタが作り込まれ、ゲート換算では 7.5 億ゲートの規模となった。LSI 1 個の回路規模が 40 年間で約 750 万倍に拡大されたわけである。

### ボードテスト技術の発展

LSI は、実装されたボード上で他の電子部品と有機的に連携して電子機器のためにその機能を有効に発揮する。LSI を実装したボードのテストは、LSI の大規模化や高性能化に伴い、それまでのボードテスト方法では対応できず、世代ごとにそのテスト方法を発展させてきた。筆者は約 40 年前に富士通に入社して、前述した初期の LSI が搭載された実装ボードのテスト技術開発を担当して以来、今日まで一貫してボードテスト技術開発に関わってきた。そこで本論文の前半では、急激に大規模化する LSI を搭載した大型計算機用ボードをテストするために、世代ごとに開発したボードテスト技術の発展について述べる。ボードファンクションテストから、スキャンテスト、ピンスキャンテストそしてバウンダリスキャンテストへと発展したテスト技術について具体的な事例に基づき、そのテスト技術の発展について考察した。

### ピンスキャンテスト

本論文では掲記ボードテスト技術のうち後半の 2 点、ピンスキャンテストとバウンダリスキャンテストについて深く議論する。先ずピンスキャンテストは ECL 型計算機の最後の世代（第 4 世代）のボードをテストするために開発した技術である。第 3 世代まで利用してきたスキャンテスト方式では、ボード全体の回路規模が 100 万ゲートのボードでもテスト生成に 1 ヶ月も掛かり、回路規模が 2 倍以上の第 4 世代のボードテストでは数ヶ月かかると予想された。またこの第 4 世代のボードは密閉冷却方式を採用したために動作中のボードを観察することとも接触することもできないので、故障診断時にプロービングして波形を観測できないという問題があった。そこでこの問題解決のために、「ネットテスト」と「ボードディレイテスト」という新しいテスト方式を考案し開発した。これを実現するための重要なテスト容易化設計 (DFT: Design For Testability) がピンスキャン方式である。本論文では、「ネットテスト」と「ボードディレイテスト」のテスト方式とその実現方法を述べる。なお、このネットテスト方式は、その次の世代の IEEE 標準規格バウンダリスキャンテストとその目的が基本的には同じであり、「ネットテスト」の成功は、富士通がバウンダリスキャンテストにいち早く移行できた重要な成功要因であった。

### バウンダリスキャンテスト

テスト技術としてピンスキャンに続く IEEE 標準規格バウンダリスキャンテストは、富士通社内では大型計算機だけでなく、多くの製品のボードテストに普及していった。富士通以外でも近年バウンダリスキャンテストは広く普及しはじめている。本論文ではこれまで論じられることがなかったバウンダリスキャンテスト中に LSI 内部でおこる内部擾乱の発生メカニズムを解明して、その対策を提案する。またこの問題発生を未然防止する施策も提案する。

### 三次元 LSI テストへのボードテスト技術の適用

これまで LSI は半導体加工プロセスの微細化により回路の大規模化を実現してきたが、微細化が原子レベルに近づいてきており、ムーアの法則の終焉が論じられている今日、「more Moore から more than Moore」の実現手段として三次元 LSI が注目され、技術開発が活発である。三次元 LSI とは LSI チップを三次元的に縦方向に積み重ねてチップ間を貫通電極 (TSV : Through Silicon Via) で相互接続したもの、一方実装ボードとは二次元的に LSI チップを横方向に並べてチップ間を基板の導体パターンで相互接続したものである。すなわち、物理構造は違うが論理構造は同じであり、ボードテスト技術の多くが三次元 LSI テストに応用可能である。

本論文では三次元 LSI の製造プロセスとその過程で混入する可能性のある製造欠陥について述べ、三次元 LSI の TSV を利用したチップ間相互接続の製造歩留り向上のためには良否判定テストだけでなく、どの程度良いのかをアナログ的に評価する必要性があることを主張する。相互接続抵抗値を高精度に計測することで、アウトライヤーを指摘でき、それに対処することで歩留り改善に寄与できる。その手段としてボードテスト用に開発されたアナログバウンダリスキャンテスト技術を拡張した三次元 LSI の TSV 精密抵抗計測法を提案した。提案手法の実現可能性を評価するために行なった小規模回路での検証実験および大規模回路でのアナログシミュレーションの結果をそれぞれ報告する。

### テスト生成

最後に、物理的なボードテスト技術と違う観点から、論理的なアプローチによるテスト生成技術について述べる。LSI の製造過程で混入する配線の物理的欠陥に起因する多様な故障を検出できる高品質なテストパターンを選択する手法を提案する。故障励起関数および活性化経路評価関数に基づいて遷移故障テストパターンを評価する指針（欠陥検出確率）を提案し、欠陥検出確率に基づいて N 回検出テスト集合からテストパターンを選択する手法を提案する。ISCAS89 ベンチマーク回路に提案法を適用した評価実験においては、良好な結果を得た。

### 本論文の構成

第2章では、電子製造業におけるテストの位置づけとその考え方を整理し、基本的なボードテスト技術の状況について述べる。

第3章では、初期の ECL 型第1世代計算機から今日の CMOS 型計算機で使われているボードの推移とそれに対応するために著者が開発したボードテスト技術を事例にして、そのテスト技術の変遷について考察する。また今後のボードテストの方向性を推察する。

第4章では ECL 型最後のモデルである第4世代計算機用ボードテストのために開発したピンスキャン方式によるネットテストとボードディレイテスト技術について述べる。

第5章では IEEE 標準テスト手法であるバウンダリスキャンテストについて概説した上で、これまで論じられることがなかったバウンダリスキャンテスト中に LSI 内部でおこる内部擾乱の発生メカニズムを解明して、その対策を提案する。

第6章では三次元 LSI の構造、不良に至る製造欠陥とそれを検出するボードテスト技術を述べたうえで、ボードテスト技術を三次元 LSI テストに応用する例として、これまでだれも計測することができなかった三次元積層後の TSV の精密抵抗計測法を提案し、裏付けのための検証実験とアナログシミュレーション結果を報告する。

第7章では、LSI の故障を検出するためのテスト生成技術を述べる。LSI の製造過程で混入する配線の物理的欠陥に起因する多様な故障を検出するための新しいテスト

パターン選択法を提案する。また、提案法の有効性を評価するために ISCAS89 ベンチマーク回路に対する計算機実験を行う。

第8章では結論、今後の課題および謝辞を述べる。

巻末に、研究業績（論文、発表、著書、委員会活動、参考文献、取得特許）、三次元 LSI テスト関係の論文サーベイ一覧、参照文献一覧を添付する。



## 第2章 ボードテスト

本章では、電子製造業におけるテストの考え方とボードテストの一般的な概念およびテストの方式について述べる。

ここで言う「ボード」とは、プリント配線板（PWB：Printed Wiring Board）に、ICや抵抗コンデンサ等の電子部品を実装し全体として機能する状態になったものを指す。これを JIS では、プリント回路板（PCB：Printed Circuit Board）と呼んでいる[JIS1]。そのほか世の中一般では PCA(Printed Circuit Assembly)、PCBA(Printed Circuit Board Assembly)、プリント板ユニット、実装基板、実装ボード、プリント板、モジュール、P板などさまざまな呼び方がある。

### 1. 電子製造業におけるテスト

電子製造業においては、製品の製造過程や製造後に、製造物に対していくつものテストを行い製品の品質保証をしてから出荷している。図 2-1 に基本的なものづくり全体の流れを示す。

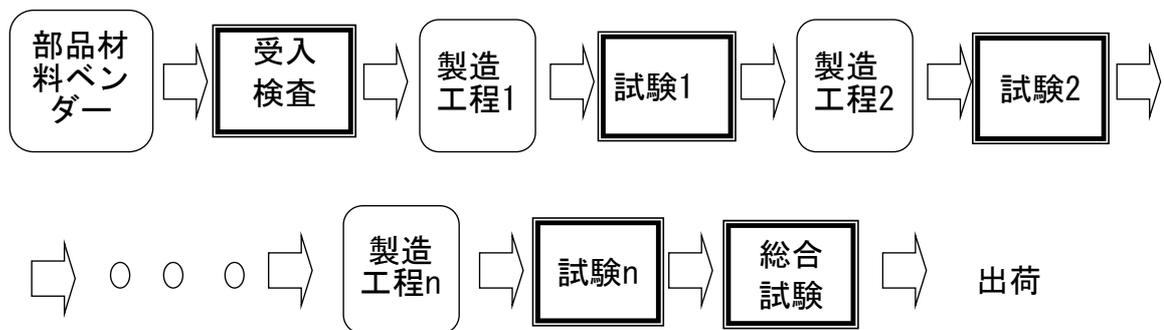


図 2-1 ものづくり全体の流れ

部品・材料ベンダーから納入された部材は、工場での加工や組み立てなどの製造工程の前に受け入れ検査を行い、不良品を工程内に混入させないようにしている。ただしこの受入検査でどの程度テストするかは、ベンダーの出荷品質により大きく異なる。例えば近年の半導体ベンダーが出荷する LSI の品質は非常に高くなっているため、通

常はユーザが LSI の機能試験まで行うことは稀になってきている。

加工や組み立てなどの製造工程の後でテストが行われるが、その基本的な考え方は、直前の製造工程で製品に加えられた付加価値を保証するためにテストを行う。ただしここで、どの程度のテストを行うべきかは、その前の製造工程の特性により大きく異なる。例えば製造プロセスが非常に良くコントロールされており、歩留まり 100%が常に保証されていれば、テストの必要はない。これをプロセス保証と呼んでいる。しかし一般的には歩留まり 100%を実現するのは非常に難しいのでなんらかのテストを行うことになる。さらにこの製造工程において、価値を付加する一方でそれ以前の工程での価値を損なうこともあり得る。例えばベアチップをパッケージに実装する際に、過大な熱や物理的圧力がチップにかかれば、ベアチップの特性劣化や破壊の可能性もある。そのような状況では、それ以前の製造工程での付加価値をも合わせてテストを行う場合がある。また当該工程の直後でテストせずいくつかの製造工程での付加価値をまとめてテストしたり、最終テストだけ行うこともある。しかし後述する「10倍の法則」で述べるように、工程が進むほど不良を検出しそれを修復するためのコストが高くなるので、各製造工程での歩留まりを考慮した総合品質保証コストにより、各工程でのテストの程度は決定される。

総合試験は、ハードウェア製造完了後ソフトウェアをインストールしたうえで、製品の最終出荷形態での、機能テストのほか外観検査や添付品の確認などが行われる。

### 2. 10倍の法則とテストコスト

1個の部品の故障を検出しそれを修復するためのコストは工程が進む毎に10倍増加すると言われる。図 2-2 に示すように、例えば 500 円程度の LSI (部品) が故障していたとすると、LSI ベンダーが単体試験で検出すればそれを廃棄するだけなのでコストは 500 円。実装プリント板 (ユニット) のテストで検出したとすると、診断・修理・再テスト等で 5 千円程度。実装プリント板を何枚も組み込んだ装置でのテストで検出されれば、修復対策までに多くの工数と設備費がかかり 10 倍の 5 万円以上。その装置が組み込まれた大規模なシステムで問題発覚すれば、さらに多くの人が関わることになり、さらに 10 倍の 50 万円、さらにそれがフィールドで障害発生し社会問題と

でもなれば莫大なコストが発生することが考えられる。

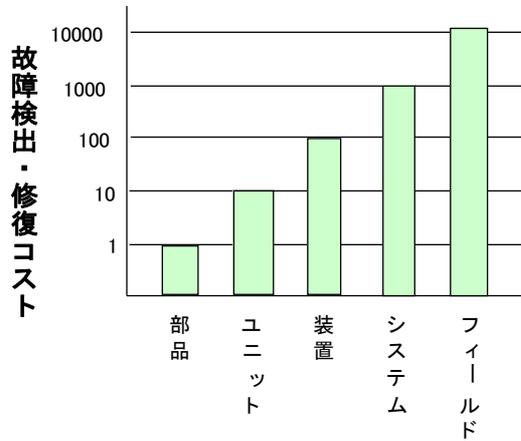


図 2-2 10倍の法則

[テストの経済計算] 上述のように工程が進むほどコストが上がるので、一般的には出来るだけ前工程で試験をして、早く不良をリジェクトした方がコストを低減できることになる。ただし不良発生率と各工程での試験コストを勘案し、どの工程でどの程度の試験をすれば最適なのか製品ごとに試験戦略を策定する必要がある。

### 3. ボード製造工程とボードテスト

図 2-3 に一般的なボードの製造工程を示す。ボードの製造工程においては工程毎に様々な検査やテストが行われる。代表的なものとして、はんだ付け工程直後に行われる外観検査(Visual Inspection)、部品の実装とそれらの部品間の電気的導通をテストする構造テスト (Structural Test) そしてボードが正しく動作するかを試験するファンクションテスト (機能テスト, Functional Test) がある。

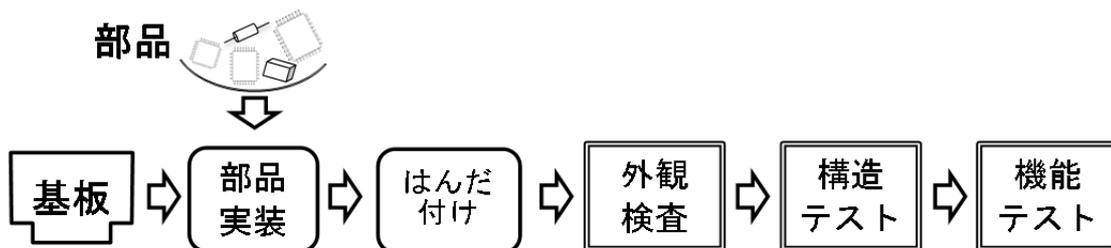


図 2-3 ボードの製造工程とテスト

## 1) 外観検査

この検査では基板に部品が仕様通りに実装されているか、はんだ付け状態（はんだの量やフィレット形状等）に問題がないかなどをボードに通電するまえに光学的に検査する。かつては人間が目視検査していたが、ボードの微細化や人件費抑制のため最近では自動外観検査装置（AOI: Automatic Optical Inspection）が使われている。また近年 BGA(Ball Grid Array) 素子などはんだ付け箇所が外から見えない実装技術が使われるようになり、AOI の可検査領域（テストカバレッジ Test Coverage）が低下している。これを補う手段として X 線を使って外観では見えない、はんだ付け状態を検査する自動 X 線検査装置（AXI: Automatic X-ray Inspection）が普及し始めている。なお本論文では、AOI や AXI などの非電気検査手法についての議論は対象外とする。

## 2) 構造テスト

このテストでは、基板への部品実装とそれら部品間の電氣的導通をテストすることが主な目的となっている。このテストに使われる代表的なテスト方式がインサーキットテスト（ICT: In-Circuit Test）である。

図 2-4 に ICT の原理図を示す。IC のピン間の配線（ネット）には、全箇所にもプロービングするためのテストパッド（TP: Test Pad）を基板に配置する。そのためには基板設計時にテスト容易化設計（DFT: Design For Test）が必要となる。

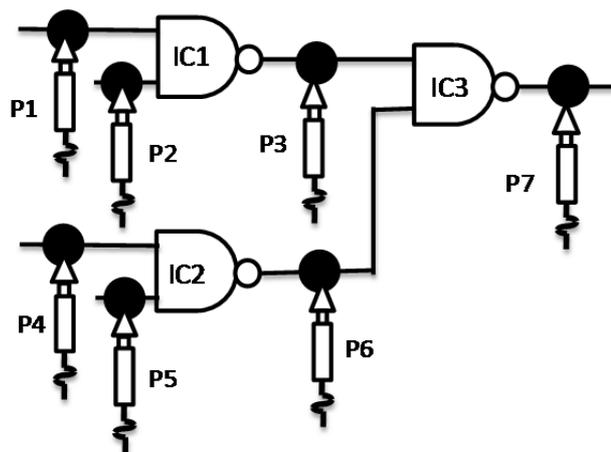


図 2-4 ICT のテスト原理

テスターはプローブ P1, P2 経由で IC1 の機能テストをするためのテストパターンを印加し, IC1 からの出力を P3 経由でテスターに取り込み, 期待値と照合し, IC1 の正常動作をテストする. 同様な操作を IC2, IC3 でも行うことで, a) IC1~IC3 が正しく実装されていること, b) 基板と IC ピンが正しくはんだ付けされ導通がとれていることが保証できる.

ICT では全ネットにプロービングする必要があるので, 図 2-5 に示すようなプローブピンを数百~数千本実装したテストフィクスチャと呼ばれる剣山のような試験治具が必要となる. この治具製作に長い時間と高いコストが必要となるのがこの方式の欠点である.

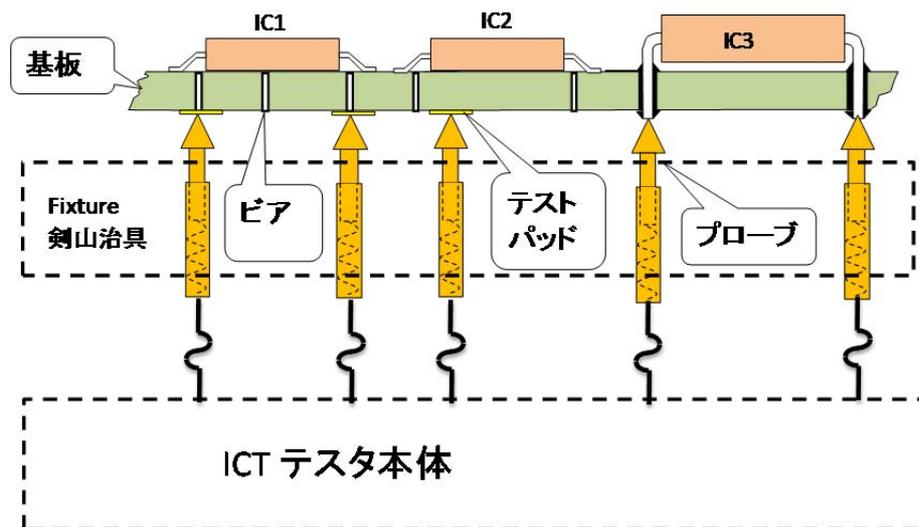


図 2-5 ICT の構造

この試験治具の問題を解決するために, 何本かのプローブピンを高速移動しながらインサーキットテストができるフライングプローブ型 ICT が出現した. しかしこの方式は 1 テストごとにプローブ移動が必要となるのでボード全体を試験するには長いテスト時間を必要とするので, 多種少量生産や試作ボードの試験に使われている.

図 2-6 に示すように従来のボードの構造テスト方法として, AOI や ICT が広く使わ

れてきた。しかし近年，実装技術の進歩によりボードの実装密度は非常に高くなって  
 いる。BGA/FBGA(Fine pitch BGA)/CSP(Chip Scale Package)素子，フィレットレス素子，  
 両面実装，狭ピッチ実装，配線が表面に現れないビルドアップ基板さらには部品内蔵  
 基板などの出現により，図 2-7 に示すように，はんだ接合箇所が外観では見えない，  
 テストパッドを基板上に配置できないという問題が出てきた。これにより従来からの  
 AOI や ICT と呼ばれたボードの構造テスト方法は破綻しつつある。

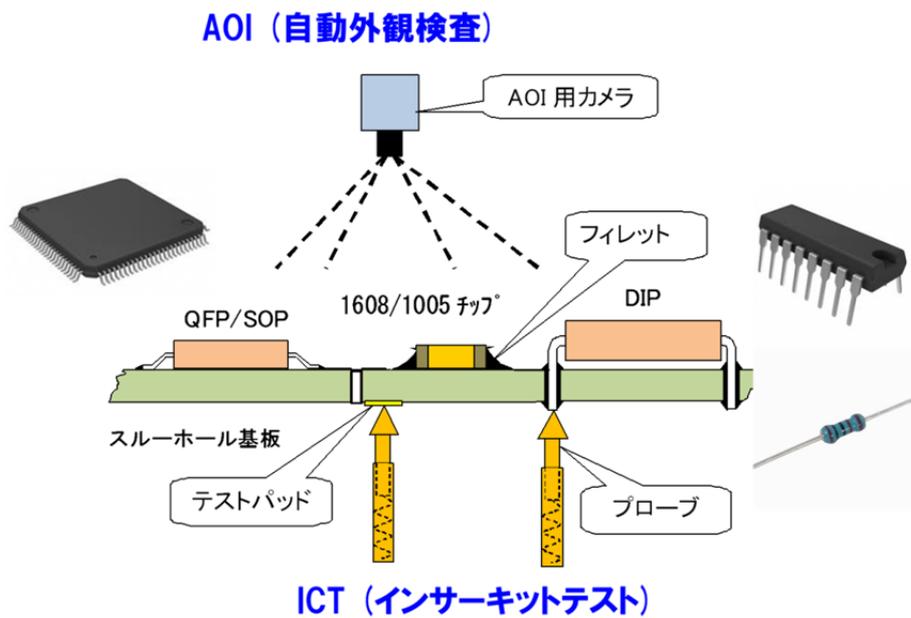


図 2-6 従来の構造テスト方法

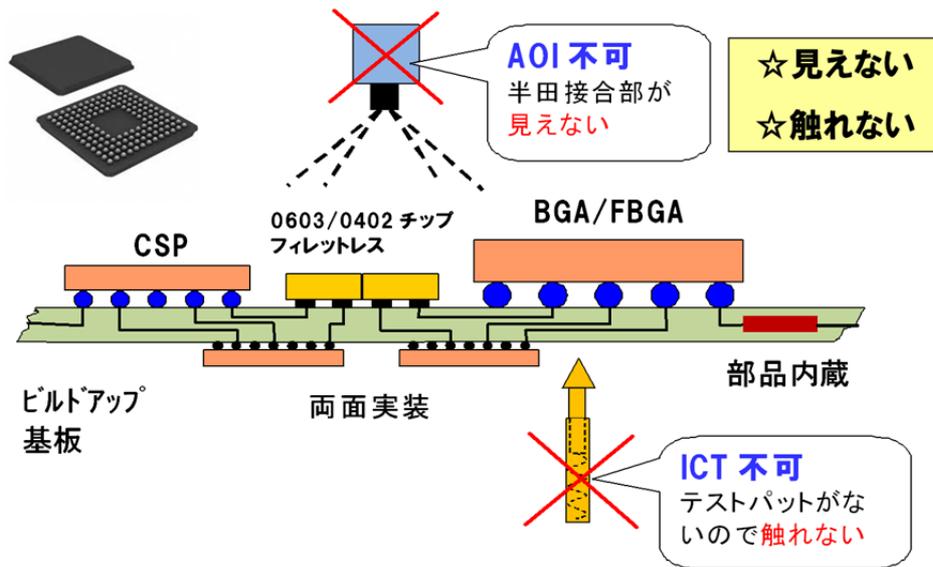


図 2-7 高密度実装の進展に伴う従来テスト方式の破綻

この課題を解決するために登場したのが、次章で詳述するバウンダリスキャンテスト方式である。バウンダリスキャンテストによれば、ICTのような物理的なプロービングが不要なので、テストパッドを基板に配置する必要がない、もちろん高価なテストフィクスチャも必要ない。バウンダリスキャンテストは非常に安いテストコストで、ICTと同じように、a) ICが正しく実装されていること、b) 基板とICピンが正しくはんだ付けされ導通がとれていることが保証できる。即ち構造テストが可能である。

本論文では、構造テストのうち ICTは議論の対象外とし、バウンダリスキャンテストを対象とする。

### 3) ファンクションテスト（機能テスト）

ファンクションテストは、基板に実装されたICなど能動部品と抵抗コンデンサなどの受動部品が基板を介して相互接続され、それらがボード全体で有機的に作用し、設計者が意図した通りに機能することを保証するものである。

ファンクションテストにはさまざまな方式があるが、①実機テスト方式、②汎用ボードテスター方式、③セルフファンクションテスト方式の3方式に大別することができる。

### ①実機テスト方式

システムが複数枚のボードと本体機構から構成されている場合、予め動作保証された完全なシステム (Golden System) を試験設備として用い、被試験ボード (BUT : Board Under Test) を試験設備のなかの完全なボード (Golden Board) と入れ替えて、システムを動作させて、システムが完全な動作をすれば、その BUT は良品と判定するテスト方式である。この方式は現実的で手軽なので、今でもよく使われている。因みに LSI (Large Scale Integration) テストでも同様の方法により良品ボード (Golden Board) に LSI ソケットを介して被試験素子 (DUT : Device Under Test) を実装して LSI テストを行う場合がある。

しかしこのボードテスト方式は次のような欠点がある。装置が多品種かつ多世代にわたると多くの試験設備 (実機) を工場に保有・保管する必要がある、簡単なボードでもシステム全体を動作させるのでテスト時間が長い、不良と判定された場合の故障診断が難しい、実機に BUT を実装・抜去する際の作業性が悪いなどである。

### ②汎用ボードファンクションテスト方式

掲記実機試験の欠点を解決するために登場したのが、汎用ボードファンクションテスト方式である。テスターの制御コンピューターに記憶させた入力テストパターンを被試験ボードへ印加し、ボードからの出力を期待パターンと比較して、良否判定するものである。テスター1台で何百種類ものボード試験に対応可能である。ガイデットプローブなど優れた診断機能を持つものもある。また BUT をワンタッチで着脱できる機構を持つものが多く作業性も良い。テストパターンをどのように作成するかが最も重要な点で、1) 人手で書く、2) コンピューターで自動生成する、3) シミュレーションパターンを使う、4) 実機から吸い上げるなどの方法がある。この方法は SSI (Small Scale Integration) や MSI (Middle Scale Integration) などで構成された集積度の高くないボードでは非常に有効な手段であった。しかし近年の VLSI (Very Large Scale Integration) を多数搭載した高集積ボードではテストパターンの生成が非常に難しく、この方式の用途は限られている。

### ③セルフファンクションテスト方式

近年のボードには、VLSIが多数搭載されるようになり、とりわけマイクロプロセッサ(MPU: Micro Processing Unit)とメモリー素子が搭載されるケースは非常に多い。MPUが搭載されていると、前述の汎用ボードテストの項で述べたようなボードに外部からパターンを印加してボードを動作させるという受動的な動きではなく、内蔵プログラムに従い自らが能動的に動作をすることができる。ボードに搭載されたMPUの機能を使ってボードの機能を自らテストするのがセルフテストである。外部からのテストパターンの印加は必要なく、テスト開始のトリガーを印加すれば、セルフテストが動作してテスト結果が外部に通知されるという試験方式である。ただしセルフテストを実行するためには、本来装置が機能するためのソフトウェアの他にセルフテスト用のソフトウェアを準備しておく必要がある。このテスト用のソフトウェアがボードのテストカバレッジを決定するので、検出力の高いソフトウェアを開発することは非常に重要な技術である。

#### 4) ボードテストのまとめ

以上3節では、ボード製造工程とテスト方式を概観した。製造工程の流れに沿って、外観検査、構造テスト、機能テストを行うのが一般的である。外観検査AOIは光学的な方法で部品実装やはんだ付け品質を検査するが、BGA実装の進展と共にX線検査装置AXIが出現している。構造テストは、長くICTが使われてきたが高密度実装に伴い検出力が低下しており、代わってバウンダリスキャンテストが重要性を増してきた。ファンクションテストは、実機テスト、汎用ボードテスト、セルフテストについて概要を説明した。またより高い検出力を得るためにこれらの基本的なボードテスト方式を組み合わせたテスターが現れている。例えば、AOIとAXIを一体化したもの、ICTとファンクションテスターを組み合わせたものなどである。



## 第3章 高速高密度実装ボードテスト技術

本章では、富士通における大型計算機やスーパーコンピュータなどで使用されている高速高密度実装ボードをテストするために開発されたテスト技術を事例にして、ボードテストの変遷を述べる。

### 1. ECL 第1世代のボードファンクションテスト

1975年に発表された富士通の大型汎用コンピューターM190は、第1世代のECL (Emitter Coupled Logic) テクノロジーによるIBM互換機であり、また世界で初めて全面的にLSI (Large Scale Integration) を採用した計算機である。M190用の高速高密度実装ボードをテストするために開発されたボードテストを事例にしてボードファンクションテスト方式を述べる。

#### 1) M190用高速高密度実装ボードMCC

図3-1にM190で使われたMCC (Multi Chip Carrier) と呼ばれる高速高密度実装ボードの外観を示す。このボードは10層のポリイミド基板 (189x189) に、ゲート数100、速度700ps/gateのECLテクノロジーLSIが最大42個搭載されている。ボード全体の規模は総ゲート数4,200、信号ピン数664である。冷却は空冷方式が採用されている。当時としては世界最大規模のボードである。

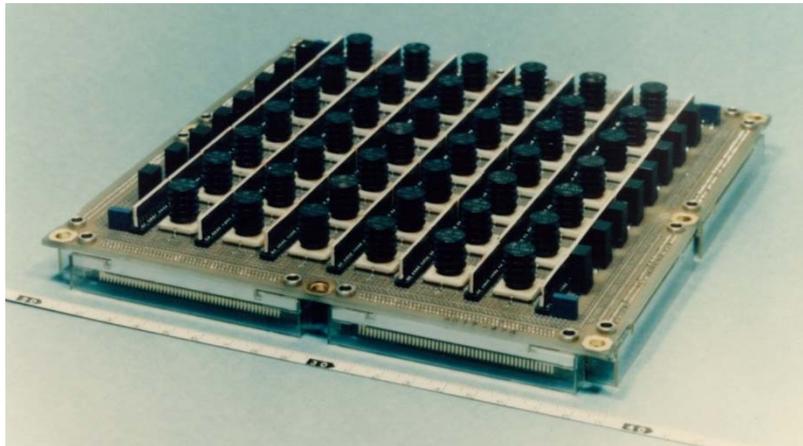


図 3-1 M190用高速高密度実装ボードMCM

## 2) ファンクションテスト方式

このボードは前章で述べた汎用ボードファンクションテスト方式でテストされた。ファンクションテストの方式を図 3-2 に示す。ボードの回路動作をコンピューター上でシミュレーションすることによりテストデータを作成する。その入力パターンと期待パターンをファンクションテスターに記憶させておきテストを実行する。テスターは与えられた入力パターンに基づきパターン発生器で入力パターンを発生し、ピンドライバから被試験ボードに入力パターン信号を印加する。被試験ボードからの出力信号をピンレシーバーで受信し、それを比較器で与えられた出力期待値と比較して、良否を判定する。

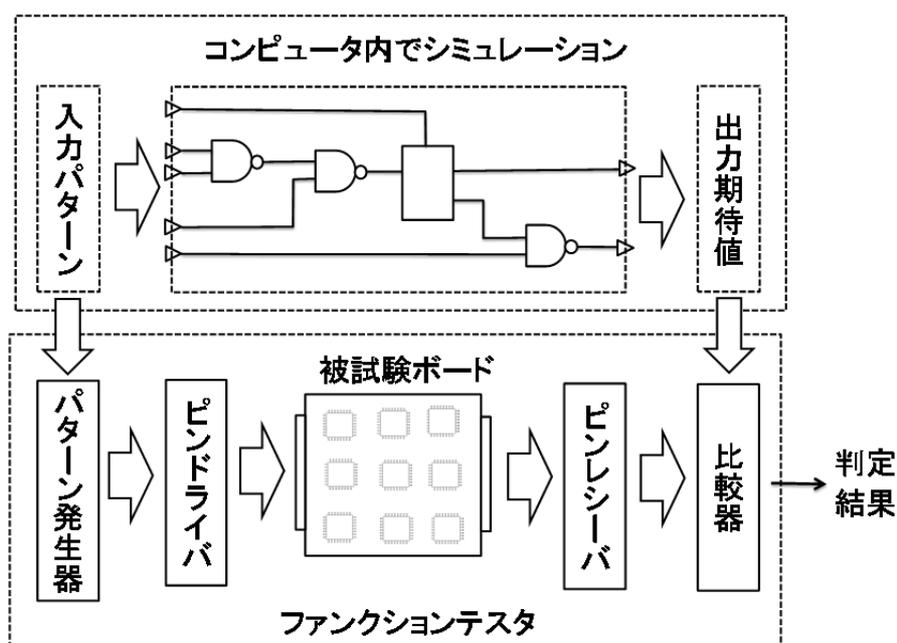


図 3-2 ファンクションテスト方式

テストデータの生成においては、ゲート回路とフリップフロップから構成される「順序回路」としてテスト生成を行う。入力パターンを与える方法としては、乱数や人手による方法がある。この入力パターンを起点にしてボード内の回路の論理シミュレーションを行い、出力期待値を算出する。これらの入力パターンがどの程度故障検出に有効なのかを調べるために故障シミュレーションを行う。故障シミュレーションはボ

ードの1箇所を“0”または“1”に固定された故障（縮退故障）があると仮定した故障回路モデルに入力パターンを印加してシミュレーション（故障シミュレーション）により出力期待値を求め、それが正常回路モデルでのシミュレーションによる出力期待値と異なれば、その仮定した故障は「検出できた」とする。この仮定故障をボード内のすべての箇所をひとつずつ設定していき、各入力パターンが検出できる仮定故障かどうかを故障シミュレーションで検証していく。さらに全てのパターンを印加したときに検出可能な仮定故障数の全仮定故障数に対する比率が故障検出率（テストカバレッジ）である。この故障検出率を100%に近づけるために、テストパターンを追加していく。まずは乱数発生器でテストパターンを自動発生させるが、故障検出率はある程度まで飽和してくるので、あとは故障検出できてない箇所を狙って人間がパターンを追加していく方法を取っていた。テストデータ生成には大型汎用計算機でその時点での最上位機種 F230-75 が使われた。

### 3) F8010 MCC ファンクションテスター

図 3-3 にこのボードをテストするために開発された F8010 MCC ファンクションテスターの外観を示す。テストピン数 664 と当時世界最大規模のボードファンクションテスターである。テストデータは、時系列のテストパターン毎および物理配列の入出力ピン毎に、入力パターン (1 ビット : 1/0) と出力期待パターン (2 ビット : H/L/X) が存在する。そのテストパターンをテストブロック単位にテスターのパターンメモリー (664×3×512) に一括格納し、高速テスト(1MHz)を実現した。テスト時間は約 15 分である[Naka85].

世界初の全面的に LSI を採用した最新テクノロジーのボードを試験するためのテスターは一代前のテクノロジー即ち、SSI や MSI を使ってシステム構成されている。

テスターを制御するコンピューターは、高価な汎用コンピューターに比べ圧倒的な小型・低価格が特徴である黎明期のミニコンピューター (U200) が使われた。



図 3-3 F8010 MCC ファンクションテスター

## 2. ECL 第 2・第 3 世代のスキャン方式ボードファンクションテスト

1981 年に発表された富士通の ECL 第 2 世代の IBM 互換大型汎用コンピューター M380 をテストするために開発されたボードテストを事例にしてスキャン方式による

ボードファンクションテストについて述べる。なお第2世代 M380 と第3世代 M780 はテスト方式的にはほぼ同じなので、第3世代 M780 の試験方式については言及しない。

#### 1) M380 用高速高密度実装ボード S-MCC

図 3-4 に M380 で使われた S-MCC (Multi Chip Carrier) と呼ばれる高速高密度実装ボードの外観を示す。このボードにはゲート数 400 , 速度 350ps/gate の ECL テクノロジーの論理 LSI と 1k/4k ビットの高速 RAM が最大 121 個搭載される。18 層のポリイミド基板 (310x290) を使用し、ボード全体の規模は総ゲート数 50,000, 信号ピン数 768 である。冷却方式は第1世代と同様、空冷を採用している。

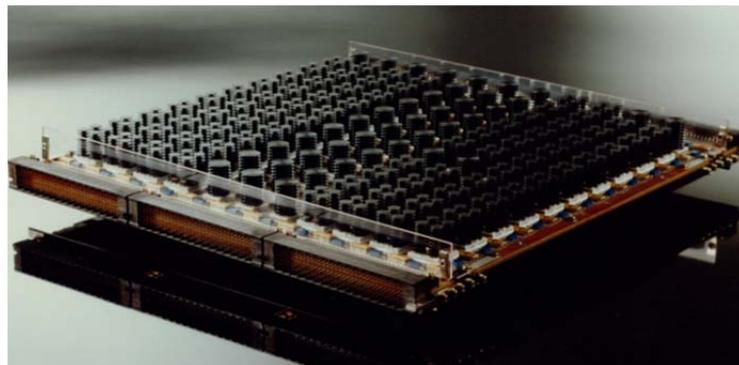


図 3-4 M380 用高速高密度実装ボード S-MCM

#### 2) スキャン方式ボードファンクションテスト

第1世代の MCC テストでの問題点は、順序回路テストだったため、膨大なテストパターンを必要とし、テスト生成やテスト実行に長い時間がかかることであった。第1世代の MCC の回路規模は 4,200 ゲートだったが、S-MCC は 10 倍以上の 50,000 ゲートとなった。順序回路におけるテストパターン長は回路規模の 2 乗に比例あるいはそれ以上とも言われており、テスト生成とテスト実行に膨大な時間がかかると予測された。

そこで第2世代の S-MCC テストのために導入されたのがスキャン方式である。スキャンテストのための基本的な回路方式を 図 3-5 に示す。ボード内の巨大な論理回路をパーティションと呼ぶ小さな回路に分割する。ここでパーティションとは、周囲をスキャンラッチ (SL) と外部入出力ピン (PI, PO) に囲まれ、内部は組合せ回路のみで構成された回路ブロックである。外部入出力ピン (PI, PO) だけでなく、全てのスキャンラッチはテスターから直接書き込み (スキャンイン) や読み出し (スキャンアウト) ができる。この小さなパーティション内の組合せ回路に対してテスト生成していけば良いので、大規模な回路でも確実に高い故障検出率のテストパターンを短時間で生成可能となった。順序回路テストに比べてテストパターンが少ないのでテスト実行も時間短縮が可能となった。

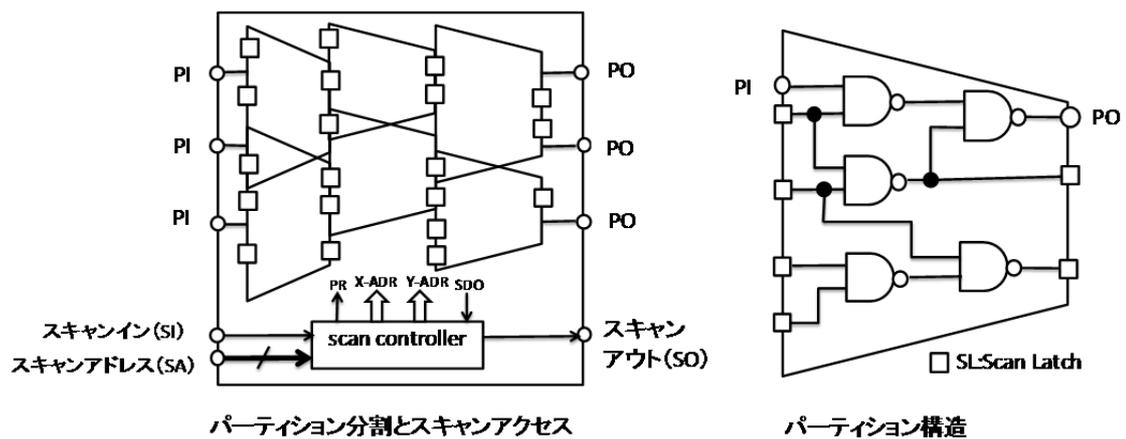


図 3-5 スキャン方式によるボードテスト

スキャン方式にはいろいろな方式が存在するが、富士通の ECL 計算機では、ランダムアクセススキャンを採用した。図 3-6 にランダムアクセススキャン方式のスキャンラッチの例[Ando80]を示す。通常動作では、DATA の入力信号が -CK クロックによりラッチされる。-CL にクリヤー信号が印加されるとこのラッチはリセットされる。Scan Controller 内のアドレスデコーダから出力される X アドレス (X-ADR) と Y アドレス (Y-ADR) が共に 1 となると Q の値は -SDO に出力される。これがスキャンアウト動作でありテスターからラッチの論理を読み取ることができる。この時、すなわちスキャンアドレスが選択されている状態で、プリセット信号 PR が印加されるとラッチの

出力 Q は反転する。これがスキャンイン動作である。この操作をテスターから行うことで、テスターからどのラッチに対してでもランダムに値をセットしたり、読み出したりできる。

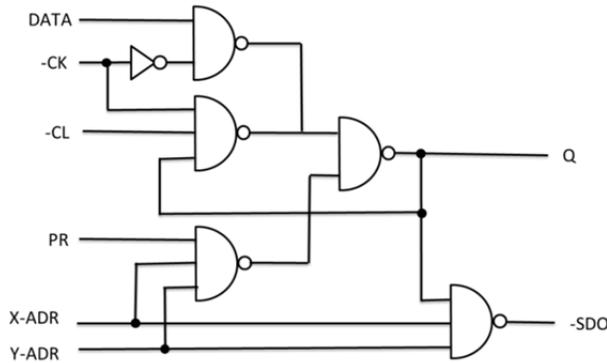


図 3-6 ランダムアクセススキャン方式のスキャンラッチの例

シリアルアクセス型のスキャン方式では代表的な LSSD(Level Sensitive Scan Design)[Will82]に比べて、ランダムアクセススキャンは以下の特長をもつ。前者は真に必要な一部のラッチにアクセスする場合でも、スキャンチェーン上の全ビットをスキャンイン・スキャンアウトする必要があるのに比べ、後者は必要なビットにのみランダムにアクセス可能である。また非破壊読み出しができるので、システム動作中でも必要なビットを読み出すことができる。またアドレスを固定しておけば、そのビットの時系列の変化さえ波形観測することができる。また読み出せるのはスキャンラッチに限らず、組合せ回路出力の値も読み出すことができる。なおランダムアクセススキャンの短所としてはシリアルスキャン方式に比べ、スキャンアドレスを指定するためのアドレスピンを必要とするのでピンオーバーヘッドが大きいことである。

### 3) S78-25S S-MCC ファンクションテスター

本テスターの最大の特長は言うまでもなくスキャンテストに対応したことである。ランダムスキャンの特長をフルに活かして、パーティションごとにアクセスすべきスキャンアドレステーブルおよび入力パターン（1ビット：1/0）と出力期待パターン（2ビット：H/L/X）をローカルメモリーに記憶させ、高速（2MHz）にスキャンテストを実行できるようにした。テストに必要なスキャンラッチにのみアクセスするのでトータルのスループットを高くできた。

また本テスターでは、自動故障追跡ソフトとオートプローバによる自動故障診断機能を実現した。これはボードテストを実行し、もし出力ピン PO またはスキャンアウト SO でフェイルが検出（期待値と相違）された際、そのフェイル箇所の上流の LSI のピンを物理的にプロービングして期待値と照合し、そこもまたフェイルであれば、さらに上流に遡って、不良箇所を特定する方法である。これにより回路知識のない作業者に故障診断を任せることができ、LSI 故障、基板のパターン断線、はんだ付け不良などの不良原因を指摘し、修理することができる。

S-MCC の入出力ピンは 768 あるので、テストチャネル数も 768 必要であり、かつてない規模となるので、テスターの物理的な大きさが心配された。第 1 世代の F8010 テスターは 664 チャネルだったが、全て SSI/MSI で構成したので、図 3-3 から分かるように、19 インチラック換算で 10 本ほどもある巨大なテスターであった。そこで S-MCC ファンクションテスターでは、当時出始めのゲートアレイ型 LSI (B200) によりこのテスター専用の LSI を開発した。ゲート数は TTL200 ゲートで、図 3-2 に示すところのパターン発生器とコンパレータ機能の 1 チャネル分を 1 個の LSI に収容できた。これによりテスターの小型化、低価格化、高速化を実現した。床面積は F8010 に比べ 2 分の 1 以下となった。

図 3-7 に M380 用高速高密度実装ボード S-MCC をテストするために開発された S78-25S S-MCC ファンクションテスターの外観を示す。BUT 自動ローディング機構、BUT 冷却用送風機構等も備えている。テスト時間は BUT の着脱も含めて 1 分 30 秒である[Naka85]。



図 3-7 S78-25S S-MCC ファンクションテスター

### 3. ECL 第4世代のピンスキャン方式ボードテスト

1989年に発表された富士通のECL第4世代のIBM互換大型汎用コンピューターM1800をテストするために開発されたボードテストを事例にしてピンスキャン方式によるボードテストについて述べる。なおこのテスト方式およびテスターについては第3章にて詳細を述べるので本節では概要のみを述べる。

#### 1) M1800用高速高密度実装ボードMLA

図3-8にM1800で使われたMLA (Multi-Layer glass ceramic Assembly)と呼ばれる高速高密度実装ボードの外観を示す。このボードには、ゲート数15,000、速度80ps/gateのECLテクノロジーの論理LSIと1Mビットの高速RAMが最大144個搭載される。61層のガラスセラミック基板(245mm□)を使用し、ボード全体の規模は総ゲート数2,000,000、信号ピン数4,320である。冷却は密閉水冷方式を採用している。

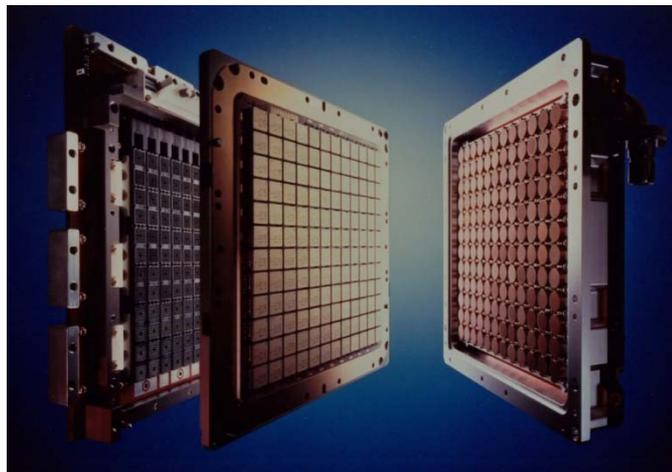


図 3-8 M1800用高速高密度実装ボード MLA

#### 2) ピンスキャンによる相互接続テストとボードディレイテスト

この世代のボードテストはそれまでの第1～3世代までのファンクションテストとは大きく考え方を変更する必要があった。その理由は、第1にボードの総ゲート数が2,000,000と非常に大規模となり、もはやスキャン方式を使ってもボード全体のファンクションテストデータ生成が困難となったこと。因みに1世代前の第3世代のボード

ではテスト生成に1ヶ月も費やしていた。第2は完全密閉水冷方式を採用したこととLSIの基板への接続はPGA（Pin Grid Array）方式を採用したことで、はんだ接合点を見ることも触ることのできなくなったことである。

そのための対策の基本的な考え方は、2章1節で述べたように、直前の製造工程で製品に加えられた付加価値を保証することを徹底した。従来のボードテストはボード全体の機能をテストしていた。すなわちLSIの機能まで保証しようとしていた。これを改め、LSIテスト、ボードテスト、システムテストと階層化されているテストにおける各階層の守備範囲を明確にし、階層間のテストの重複を避けた。具体的にはLSIテストでは、LSI単体の機能性能を保障する。ボードテストでは、ボードの組み立てやタッチアップ（基板製造不良救済や設計変更対応のための基板配線の切断接続）を保障する。システムテストでは基本ソフトも含めてシステムの機能を保障する。こうすることで、各階層のテストの効果と効率の最大化を狙った。このような施策を実施できるのは垂直統合型製造業の強みである。

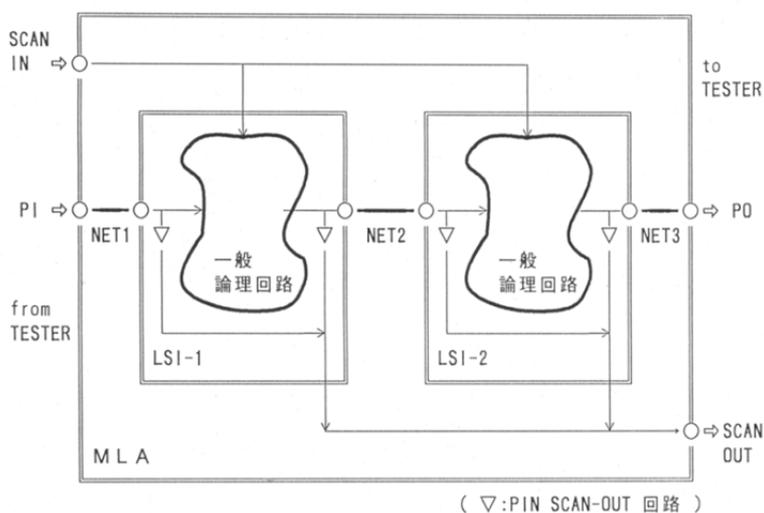


図 3-9 ピンスキャンによる相互接続テスト

この考えかたに基づき本ボードテストでは、基板上のパターン導体（ネット）を介したLSIチップ間の相互接続を保証することをテストの目的として、DFTとテストツールを検討した。結果開発されたのが、静的な相互接続を保証する「ネットテスト」

と動的な相互接続を保証する「ボードディレイテスト」という全く新しいテスト方式である。図 3-9 にピンスキャンによる相互接続テストの原理図を示す。LSI の全ピンに組み込まれたピンスキャンアウト回路により、各ピンの論理状態をテスターから読み出し可能である。完全な可観測性を持っている。ただしピンの論理設定は直接できず、スキャンインでピンの論理決定に関する LSI 内のスキャンラッチを制御して間接的に設定する。出力ピンの論理と相手側の入力ピンの論理が一致していれば、相互接続が正しいことが分かる。なお詳細は第3章で述べる。

### 3) S78-85S MLA テスター

ネットテストとボードディレイテスト機能を装備した超多チャンネル(4,800ピン)のボードテスター(S78 85S)の外観を図 3-10 に示す。本テスターのために専用 LSI (20ch ピンエレ回路)を開発した。20MHz の高速スキャンテストが可能である。自動故障診断プログラムによりボード上の故障箇所を指摘できる。2700A の BUT 用電源や冷却能力 5kW の冷却水供給機を備えている。2 万ネット、2 百万ゲートのボードを診断率 100%でネットテスト、試験精度 $\pm 100$  ps でボードディレイテストが可能である。それぞれの試験時間は約 10 分、テスト生成時間は 24 時間以内である[3]。



図 3-10 S78-85S MLA テスター

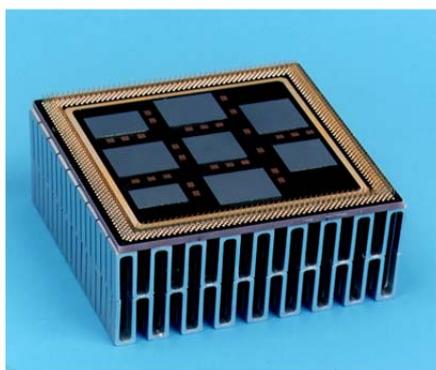
#### 4. CMOS 世代のバウンダリスキャン方式によるボードテスト

1994年に発表された富士通の CMOS 大型汎用コンピューターGS8000 シリーズをテストするために開発されたボードテストを事例にしてバウンダリスキャン方式によるボードテストについて述べる。

##### 1) GS8000 用高速高密度実装モジュール MCM とマザーボード

図 3-11 に GS8000 で使われた MCM(Multi Chip Module)と呼ばれる高速高密度実装モジュールとそれを実装したマザーボードの外観を示す。本論文では MCM もボードとして議論を進める。

CMOS 第 1 世代の MCM には窒化アルミ基板に 250 万ゲートの 0.35 $\mu\text{m}$  CMOS テクノロジーの論理 LSI と 256k バイトの高速 RAM が合計で最大 8 個搭載される。MCM 全体のゲート規模は数千万ゲートとなる。各 LSI の裏面には 208 $\mu\text{m}$  ピッチでグリッド状に最大 2000 (信号 1000) のはんだバンプがあり、フェイスダウン (接合面は外から見えない) で基板と LSI がはんだ接合される。入出力ピンは MCM の外周に最大 959 ピン(うち信号 578)が実装されている。なお MCM はその後 LSI の進歩と共に第 2 世代 (0.22 $\mu\text{m}$  CMOS), 第 3 世代 (0.18 $\mu\text{m}$  CMOS) へと進化し、ゲート数は 1000 万/LSI, 最大ピン数は 6020/MCM と大規模化が進んだ。



(a) MCM



(b)マザーボード

図 3-11 GS8000 シリーズの MCM とマザーボード

マザーボードと MCM 間の接合は、MCM の入出力ピンを表面実装技術ではんだ付

けしている。結果 MCM とマザーボード間のはんだ接合点は外部から見たり触ったりはできない。なおマザーボードには MCM の他、メモリーモジュールがソケット実装されている。

## 2) バウンダリスキャン方式のボードテスト

1)項で MCM およびマザーボードの構造に関して述べたように、両者共にはんだ接合点を外部から見たり触ったりできない。また MCM のゲート規模は数千万ゲート、さらにそれを多数実装したマザーボードでは数億ゲート規模となる。これは 3-3 節の 2)項で述べた MLA でのボードテストの課題と全く同じで、回路規模が大き過ぎて MCM やボード全体のファンクションテスト用のテスト生成はもはや不可能、また MLA 同様はんだ接合点を見たり触ったりできないので、故障診断時にプロービングもできない。

この問題を解決するために MLA で採用したピンスキャン方式を継続することもできた。しかしちょうどこの時期にバウンダリスキャンテストが世界標準規格 (IEEE1149.1)として登場してきた。バウンダリスキャンテストは富士通のピンスキャンテストと基本的なテストの目的は同じで、ボード上の LSI 間の相互接続にフォーカスしている。富士通はこれまで大型計算機で使用する LSI は全て自社製のカスタム LSI を使用してきたが、将来的には他社の LSI が混在してくることも考えられる。その場合、テスト方式を世界標準に合わせておくことでスムーズに他社 LSI を利用することも可能である。そこで富士通は大型計算機のテクノロジーを ECL から CMOS へ移行するのを機会に、世界に先駆けて全面的にバウンダリスキャンテストを採用した。

バウンダリスキャンテストを採用するには、図 3-12 に示すように LSI を設計する際にバウンダリスキャンテスト回路を IEEE1149.1 規格に基づいて組み込む必要がある。LSI のピンと内部のコア回路との間にバウンダリスキャンセル回路を挿入し、それを制御する TAP コントローラも組み込む。ボード設計時には 4 本 (または 5 本) のテスト制御線 (JTAG バス) で LSI 間を連結し、テスターとの接続端子を設置する。

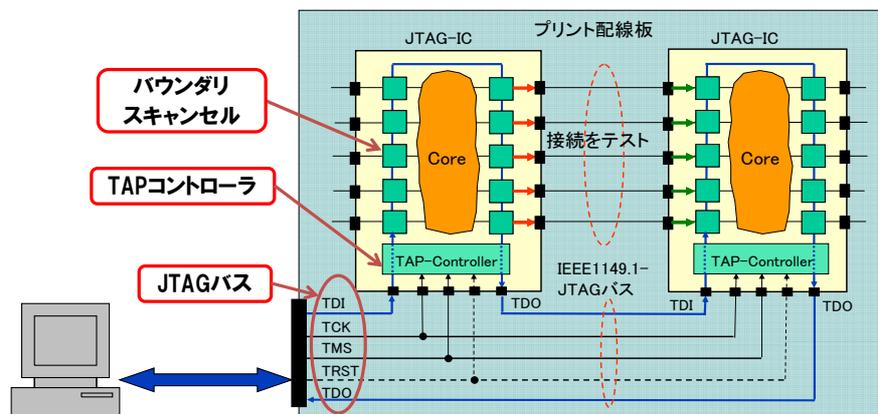


図 3-12 バウンダリスキャンテストによるボードテスト

バウンダリスキャンテストによる相互接続テストのためのテスト生成では、内部のコア回路を一切考慮する必要がないので、テスト生成は非常に容易（軽い）となった。即ちバウンダリスキャンテスト方式は、これまでのボードテストのように LSI のゲート規模拡大に伴い、ボードテストが困難になることはない。なお後に開発した汎用のバウンダリスキャン専用のテストシステムにおいては、パソコン上でテスト生成が可能となり、その生成時間は数分と非常に手軽になった。

ただし GS8000 用の MCM テストでは相互接続テストだけでなく、BIST テストや DC テストのためのテスト生成も行うので、従来の大型計算機上のテスト生成システム上にバウンダリスキャンテスト生成機能を構築した。

なおバウンダリスキャンテスト方式等については第 4 章で詳述する。

### 3) MCM テスター

図 3-13 に MCM テスターの外観を示す。本テスターはバウンダリスキャンテストを専用に行うことができる最初のテスターである。従来はテスター用に専用 LSI を開発していたが、開発コスト低減のため、当時出始めたばかりの FPGA (Field Programmable Gate Array) を使った。バウンダリスキャンテストのほか BIST 試験、DC パラメトリック試験、温度特性評価機能などを備えている。製造不良に対する故障検出率は 100%、試験時間は DC テストも含めて小型のもので 1 分、大型のもので 10 分程度である。そのうちバウンダリスキャンテストの正味時間は数秒である。技術者が 1 時間以上かかっていた故障解析を 1 分以下に短縮した。MCM テスターは 3000 チャンネルと超多ピンながら従来の汎用 LSI テスターに比べ、価格、設置面積ともに約 10 分の 1 程度で実現できた。



図 3-13 MCM テスター

## 5. LSI の大規模化に伴うボードテスト技術の進化

本章では、富士通の歴代の大型計算機用の高速高密度実装ボードを試験するために開発してきたボードテスト技術を事例にして、LSI の大規模化に伴うボードテスト技術の進化を見てきた。

ECL 第1世代のMCMでは100ゲートのLSIが搭載されたボードの規模は4200ゲートであり、それまで一般的に行われてきた順序回路のファンクションテストでも何とかテストできた。

ECL 第2世代のS-MCCでは400ゲートのLSIが搭載されたボードの規模は50,000ゲートとなり、第1世代に比べボードのゲート規模は10倍以上となった。もはや順序回路でのテスト生成は非常に困難となり、スキャンテストの導入によりテスト生成とテスト実行時間を劇的に短縮した。

次のECL 第3世代ではスキャンテストが継承されたが、3000ゲートのLSIが搭載されたボードの規模は100万ゲートと第2世代に比べ20倍の規模に拡大した。スキャンテストを使ってもテスト生成に1ヶ月ほども時間を要したので、製造初期にはタイムリーなテストデータ提供に苦労した。

つづくECL 第4世代では、15,000ゲートのLSIが搭載されたボードの規模は200万ゲートとなり、もはやスキャンテストも限界となり、ピンスキャンテストを導入した。ボードテストはボードの製造不良検出に特化したことで、テスト生成もテスト実行も非常に軽くなり、それぞれ24時間、10分以下となった。

そのあとECLからCMOSへテクノロジーが変更され、CMOS第1世代のMCMには250万ゲートのLSIが最大8個搭載され、さらにマザーボードにはMCMが10個以上搭載され、ボードの回路規模は数億ゲートに達した。前世代同様ボードレベルのテストでは製造不良検出に特化した。テストの目的はピンスキャンと同じで国際標準のバウンダリスキャンテストを全面採用した。バウンダリスキャンテストによれば、LSIの内部回路には全くアクセスする必要がないので、テスト生成は非常に軽くなり、パソコンでも数分で生成でき、テスト実行は秒オーダーとなった。

この ECL 4 世代と CMOS 世代にわたる LSI の規模とボードテスト方式の進化を図 3-14 のグラフに示す。LSI の大規模化に伴い、ボードテスト方式はファンクションテスト、スキャンテスト、ピンスキャンテスト、そしてバウンダリスキャンテストへと進化してきた。

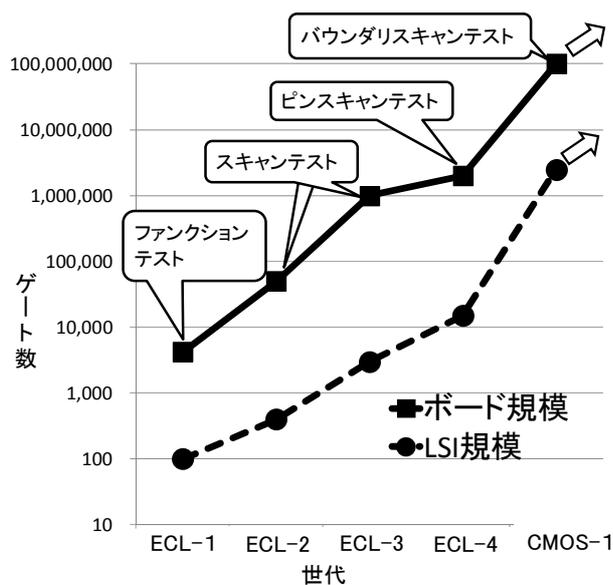


図 3-14 LSI の規模拡大とボードテスト方式の進化

## 6. 今後のボードテスト

図 3-15 に富士通の CMOS 世代のプロセッサのゲート規模の推移を示す[Yosh13]. ムーアの法則に従い、ゲート規模は現在も拡大し続けている。4 節で述べた GS8000 シリーズ用に開発したプロセッサは 0.35 $\mu\text{m}$  CMOS テクノロジーを使い 250 万ゲートであった。今年 2013 年に HotChips25 で発表した最新のプロセッサ SPARC64™ X+ は、28nm CMOS テクノロジーを使い、約 30 億トランジスタ、ゲート換算で 7.5 億ゲートの規模となった。

バウンダリスキャンテストでボードの相互接続テストを行う際には、LSI の内部回路にアクセスする必要がないので、LSI の回路規模がどんなに大きくなって、ボードテストに影響はない。それ故、GS8000 シリーズでのボードテスト以来、今日までバウンダリスキャンテストを使い続けることができた。バウンダリスキャンテストはボードテストの重要な手段として今後も使われて行くだろう。

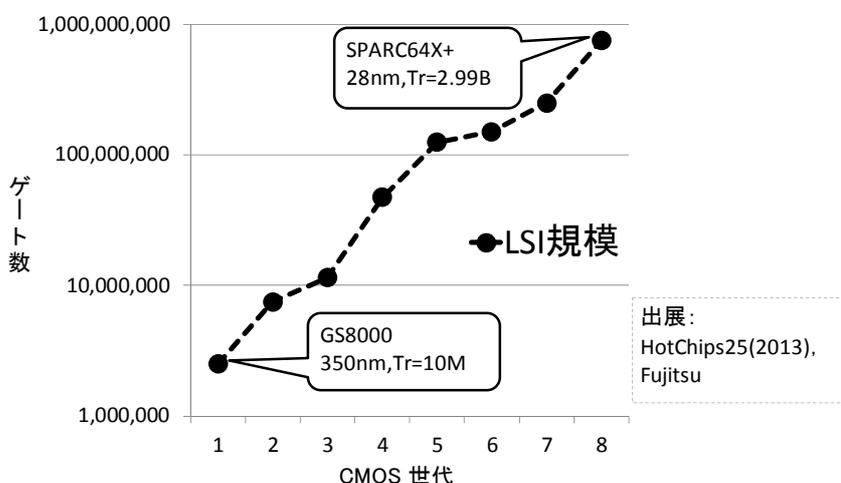


図 3-15 CMOS 世代の LSI 規模の推移

しかしながらボードテストにおいて、バウンダリスキャンテストは必要十分とはいえない。第2章で述べたように、ボードの電氣的テストは、構造テストと機能テストに分けられるが、バウンダリスキャンテストは構造テストの範疇にある。構造テストをさらに強化したいという要求と機能テストのカバレッジや効果・効率を上げたいと

いう要求が当然ながらある。

前者については、例えば最近の高速ボードでは高速伝送のために AC カップリング差動伝送が使われるようになり、一般的なバウンダリスキャンテスト (IEEE1149.1) では伝送路に直列挿入されるコンデンサのためテスト信号が通らずにテストできない。そこでバウンダリスキャンを高速伝送回路へ拡張した AC-JTAG と呼ばれる IEEE1149.6 規格によるテストが使われ始めている。スーパーコンピュータ京のボードテストで、AC-JTAG を採用した事例を 2012 年に発表した[Taka12]。第 6 章で詳述するアナログバウンダリスキャン(IEEE1149.4)も今後使われるようになるだろう。

また大型計算機用ボードのように全て自社製のバウンダリスキャン対応 LSI で構成できるケースは稀で、一般ボードではバウンダリスキャン対応 LSI の搭載比率は高くない。そのような状況でテストカバレッジを上げることは大きな課題である。その解決方法の一つとしてクラスタテストが使われている。バウンダリスキャン LSI から非バウンダリスキャン素子に対してテストパターンを印可し、その応答をバウンダリスキャン LSI で受けて簡単な機能テストを行うことで、相互接続試験を実現する方法である。テスターベンダーはそのために多くの非バウンダリスキャンテスト用テストパターンライブラリを提供している。

一方で世の中のバウンダリスキャン素子の種類をさらに増やす啓蒙活動も重要である。多くの素子にバウンダリスキャン回路が実装されていれば、テストカバレッジは上がりボードテストは非常に容易となる。そうすると多くのボードベンダーがバウンダリスキャンテストを行うようになり、良い循環が期待できる。しかし日本ではまだバウンダリスキャンテストが十分普及しているとは言えず、普及活動が必要である。

もう一つの課題である機能テストについては、ソフトウェアをインストールしてソフト的に機能をテストするセルフテストが主流になりつつあるが、問題もある。OS (Operating System) の大規模化に伴い OS 起動に長い時間がかかり試験時間を長くしている、そもそもソフトは逐次処理のため試験時間が長くなる、ソフト処理だけではテストカバレッジを十分に上げられないといった問題が見えてきた。

そこで、テスト時は軽い OS (例えば WindowsPE) を使うなどの方法の他に、下記のように出来るだけソフトに依存しないテスト方法が提案されている。1 つ目は LSI

テストのために既に多くの BIST (Built-In Self Test) 回路が LSI に内蔵されているが、この LSI 内部の BIST 回路をボードテストで活用しようという BA-BIST(Board Assist BIST)方式[Conr13]である。さらにボードテストのために積極的に LSI にボードテスト用の BIST 回路を組み込むことが期待される。2つ目は、最近ボードによく使われている FPGA (Field Programmable Gate Array) 素子にテスト回路を書き込んでボードテストをさせ、テスト終了後は本来の回路を FPGA に書き込んで出荷する方式である[Ferr13]。これらの方法によれば、ソフトウェア立ち上げ等のオーバヘッド時間が少なく、ソフトウェアではアクセスが難しい部分のテスト、ハードウェアテスト回路での格段の高速化や並列化による短時間テストや高いテストカバレッジが期待できる。



## 第4章 ピンスキャンによる相互接続テストと ボードディレイテスト

第3章3節で述べたように、ECL第4世代大型計算機用のボードテストはそれまでの第1～3世代までのファンクションテスト方式とは大きく方針を変更せざるを得なかった。その理由は、1)ボードの総ゲート数が2,000,000と非常に大規模となり、もはやスキャン方式を使ってもボード全体のファンクションテストデータ生成が困難となったこと。2)完全密閉水冷方式を採用したことでLSIの基板への接続はPGA (Pin Grid Array)方式を採用したので、はんだ接合点を見ることも触ることのできなくなったこととの2点であった。

そこでとった対策の基本的な考え方は、直前の製造工程で製品に加えられた付加価値を保証することを徹底した。LSIテスト、ボードテスト、システムテストと階層化されているテストにおける各階層の守備範囲を明確にし、階層間のテストの重複を避けた。

この考えかたに基づき開発されたのが、ボード内の静的な相互接続を保証する「ネットテスト」と動的な相互接続を保証する「ボードディレイテスト」という全く新しいテスト方式である。

本章では、まずECL第4世代大型電算機用の高速高密度実装ボードの概要を紹介し、従来のボードテストの問題点、ネットテストとボードディレイテストの試験方式、テスターの方式について述べ、最後にこのテストの効果について述べる[3][7][8]。

### 1. 高速高密度実装ボード MLA

1989年に発表された富士通のECL第4世代の大型電算機M1800には、高速・高集積のLSIチップを高密度実装したMLA (Multi-Layer glass ceramic Assembly)と呼ばれるボードが使用されている。このボードは図4-1に示すように、大型多層ガラスセラミック基板(245mm□, 61層)にゲート数15,000, 速度80ps/gate, PGA (Pin Grid Arrey)

型の ECL LSI が 144 個搭載され，ボード全体の論理ゲート数は 2,000,000，ネット数は 20,000，入出力端子数は 4,320 と大規模なものである[Kane90].

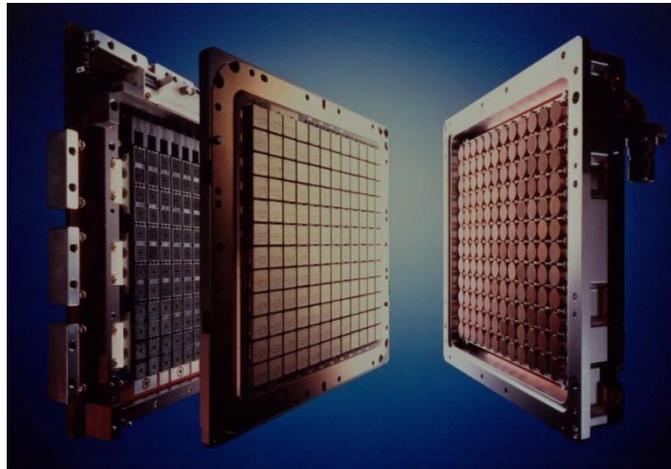


図 4-1 M1800 用高速高密度実装ボード MLA

一方，ボードの発熱を効率良く外部に逃がすために密閉型の水冷方式が採用されており，通常はボード内部を見たり触ったりすることはできない．このようなボードをインサーキットテストやファンクションテストという従来のボードテスト技術で品質保証することは難しい．しかし，ボードレベルで十分な製造品質を保証しなければ，製造過程で混入した故障は，システムレベルで機能障害を引き起こす．システムレベルでの故障診断は，熟練技術者による長い解析時間が必要で，製品の製造コストを引き上げ，出荷遅延などにもつながる．そこで，高速高密度実装ボードの品質を保証するための新たな試験方法が求められた．

本章では，M1800 用ボードを試験するために開発した試験技術とボードテスターについて述べる．

## 2. 従来のボードテストの問題点

### 1) インサーキットテスト

インサーキットテストで LSI ボードを試験しようとするとき一般的にいくつかの問題がある．第 1 にゲート数 1500 と大規模な LSI に印加するテストパターンの作成が難しい．仮にできたとしてもパターンが長大化するのでバックドライブ（前段の LSI の出力論理と無関係にテスターから強制的に次段 LSI にテスト論理を印加すること）によ

り被試験 LSI にダメージを与える恐れがある[Sobo82]. 第2は LSI が PGA 型のため外部からピンにプローブを物理的に接触させることが難しい. とくに密閉冷却機構を取り付けた後ではプロービングは不可能に近い. 第3にはもし LSI のまわりにプロービングパッドを配置するとボードの実装密度が低下してしまう.

## 2) ファンクションテスト

大規模なボードをファンクションテストするには, 膨大なテストパターンを必要とする. 2,000,000 ゲート規模のボードではたとえスキャン設計されていても自動テストパターン生成には大型計算機を使用しても数カ月かかるという試算もあり, 実用的ではない. また, 不良と判定されたボードを故障診断するためにはガイドットプロービングを必要とするが, 密閉冷却方式では通電中のプロービングは難しい. 実クロックレートでの LSI ボードの動作を保証するには, ダイナミックファンクションテストが必要であるが, それには非常に高速かつ多チャンネルのテスターが必要であり, テスターの開発や製造には莫大なコストが発生する.

そこで M1800 用の高速高密度実装ボードを試験するために, 従来方法に代わる「ネットテスト」と「ボードディレイテスト」という新しい試験方法を開発した[3].

## 3. ネットテスト

ネットテストは, 半田付け不良やタッチアップ作業ミスなどの製造障害を検出することを第一の目的として, LSI チップ相互間, または LSI チップと入出力ピン(PIPO)相互間の接続をテストするものである.

ネットテストを実施するには, 試験容易化設計が必要であり, 図 4-2 に示すように, 各 LSI チップの入出力ピンの論理状態をスキャン回路により読み出せるようにした[Ito90]. これをピンスキャンと呼んでいる. ピンスキャンは第2章で述べたランダムアクセス方式のスキャンを使用しているため, ラッチのないピンでもその論理を読み出すことができる. この回路には後述するバウンダリスキャンにおける通常信号とテスト信号を切り替えるためのマルチプレクサ回路が不要なので, 非テスト時(通常動作時)に信号の伝達遅延時間が増大するというような悪影響は殆どない.

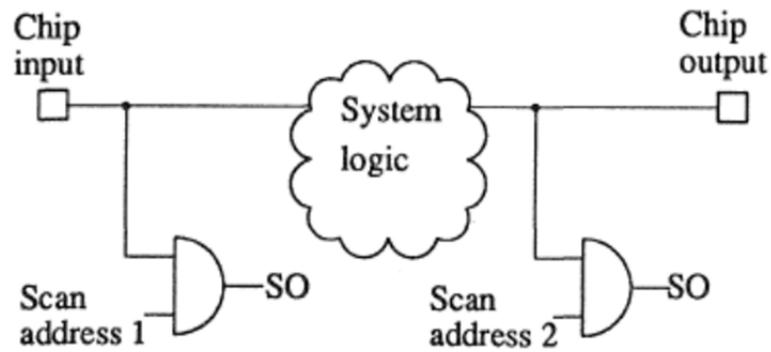


図 4-2 ピンスキャンアウトのための DFT

チップの出力ピンの論理は、図 4-3 に示すように、チップの入力ピンへ印加される論理値とチップ内部のスキャンインラッチの論理値とによって決定される。この出力論理を決めるための印加パターンは自動テストパターン生成システムからテスターへ供給される。

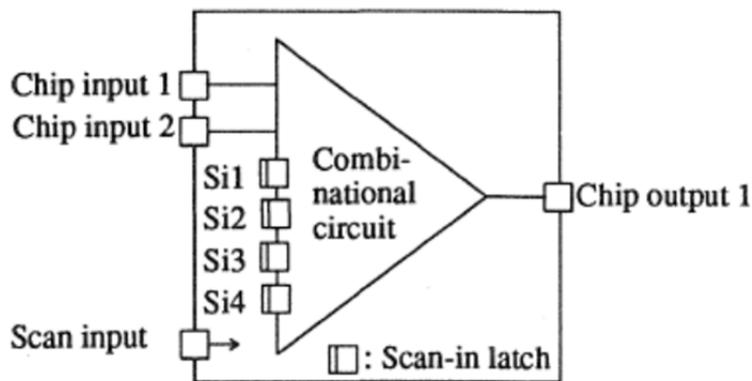


図 4-3 LSI 出力ピンの出力論理値決定方式

ネットテストの動作原理を図 4-4 により説明する。テスターはボードの入力ピン (PI) とチップ内部のスキャンインラッチに入力パターンを印加して、チップの出力ピンの論理を決定する。ボードの PI およびチップの出力ピンの論理が決定するとボード内の全ネットの論理が確定するので、全チップの入出力ピンの論理をピンスキャンアウトにより、また、ボードの出力ピンの論理を直接テスターに読み出して期待値と比較照合する。

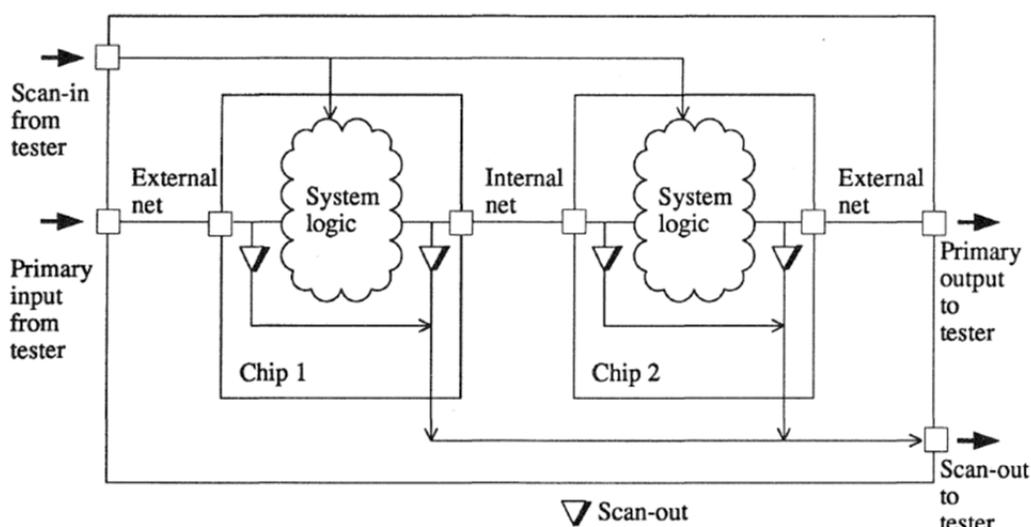


図 4-4 ネットテストの原理

この手順を、すべてのネットが少なくとも1回は論理1および論理0の値をとり、かつ当該ネットと他のネットが少なくとも1回は相互に別の論理値が設定されるようにテスト生成を行う。これで部品間の相互接続のオープンとショートのテストができる。

#### 4. ボードディレイテスト

静的なネットテストで検出できない故障の一つは動的な障害を引き起こす伝送線路故障である。たとえば終端抵抗断線、パターンカット忘れや過剰配線によるスタブワイヤ（片端が開放の配線）の存在などである。そのような故障は信号の伝播遅延増大となり、システム動作において実クロック速度での動作不良となって現れる。

ボードディレイテストは図 4-5 に示すようにボード上の LSI チップ間の信号伝播経路におけるディレイ故障を発見するのを目的とし、同一チップ内のラッチ間のディレイ不良は対象にしていない。

ディレイテストはオーバーディレイテスト(Over Delay Test)とレーシングテスト(Racing Test)から構成される。オーバーディレイテストはチップ間の伝播遅延時間がシステムクロック間隔より短いかをテストする。レーシングテストはチップ間でレーシ

ングがおきてないかをテストする. 図 4-5 において, 最長パス(S1-T3)はオーバーディレイ対象, 最短パス(S2-T1)はレーシングテスト対象として選択される.

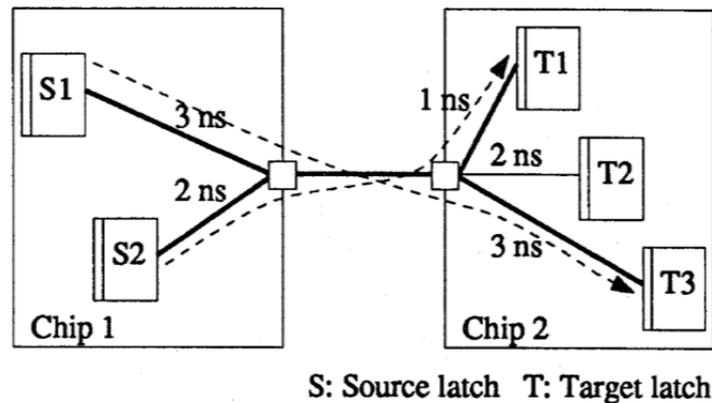


図 4-5 ボードディレイテストのテスト経路

ディレイテストの原理を図 4-6 により説明する. まず試験すべきパスのソースラッチとターゲットラッチを選択する. そしてテスターはテストパターンをスキャンインして双方のラッチを初期化し, そしてテストパスを活性化する.

オーバーディレイテストにおいては1発目のクロックを印加してソースラッチの初期値を反転させる. 続いてシステムクロック周期の時間をおいて2発目のクロックを印加してターゲットラッチにソースラッチの変化を取り込ませる. そしてテスターはターゲットラッチの値をスキャンアウトして期待値と比較する. これによりチップ間を信号が正常な遅延時間以下で伝播したかどうかを確認できる.

レーシングテストにおいては, 1発目のクロックの印加だけで, ターゲットラッチがソースラッチの変化を取り込んでないかを確認する.

ボードディレイテストにおいても試験容易化設計を導入した. クロック印加時にパス活性化条件が崩れないように, 着目しているラッチ以外にはクロックが分配されないようにクロック抑制回路が組み込まれている[Ito90].

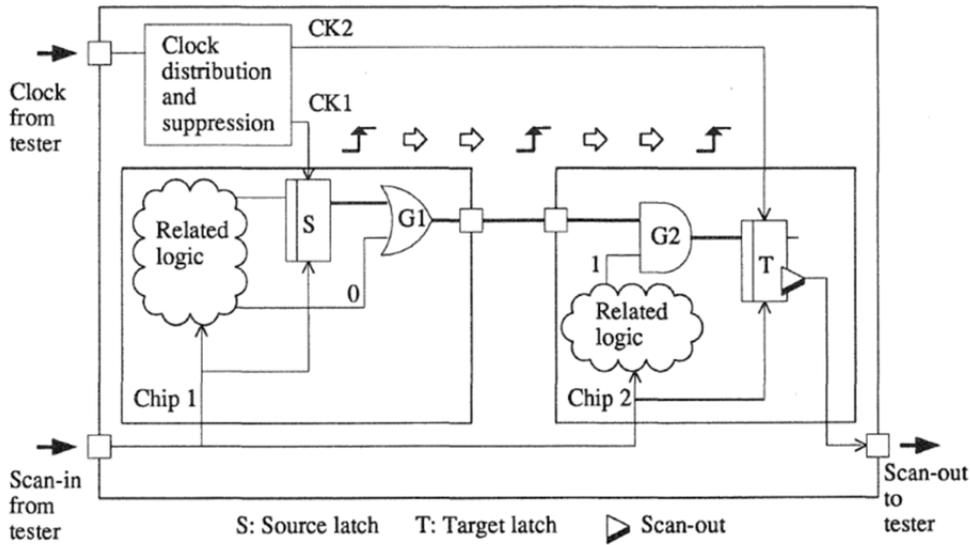


図 4-6 ボードディレイテストの原理

### 5. ボードテスター

ネットテストとボードディレイテスト機能を装備した超多チャンネル(4,800ピン)のボードテスター(S78-85S)を開発した。一般的に 4,800ピンでかつディレイテストまで可能なテスターは非常に大規模かつ高価になると考えがちであるが、本テスターにおいては、以下に述べる工夫により比較的小規模で、低価格なテスターを実現した。本テスターのブロックダイヤグラムを図 4-7 に示す。

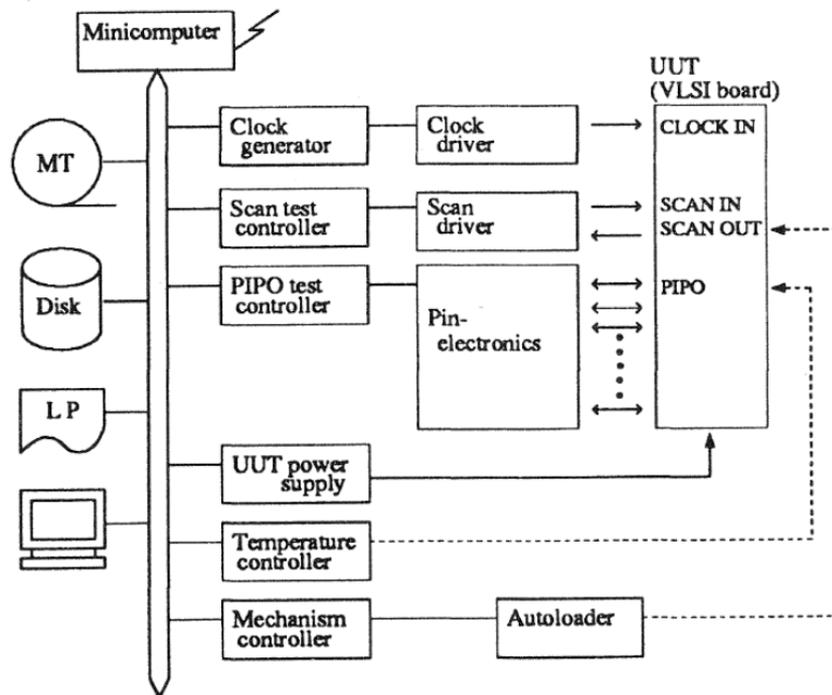


図 4-7 テスターのシステム構成

### 1) ピンエレクトロニクス

ボードテスターにおいてピンエレクトロニクスは非常に重要な要素であり、ピンエレクトロニクスのパターンレートやチャンネル数、電気特性などがテスターの価格や物理的大きさをほとんど決めている。

一般的なボードテスターやLSIテスターにおいては、ピンエレクトロニクスのパターンレートを高速化することは重要視されている。しかしながら、本テスターでは、以下の理由により意図的に高速化しなかった。

ネットテストやボードディレイテストにおいては、必ず1テストパターン毎にスキャン動作が必要となる。スキャン動作は1ポイントずつシリアルにアクセスしていくので、ピンエレクトロニクスから一般入出力ピン(PIPO)を高速に平行アクセスしても、1テストサイクルの時間はほとんど変わらないのである(図4-8)。

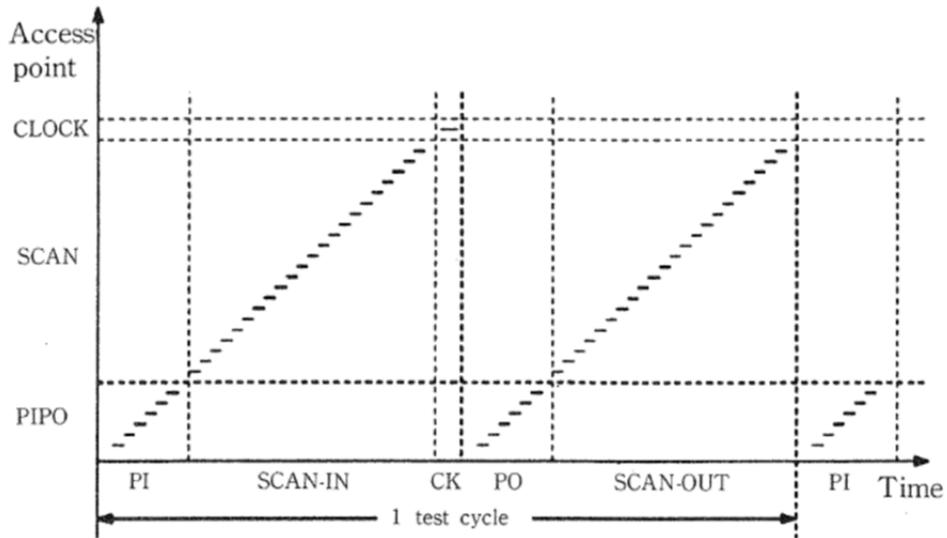


図 4-8 1 テストサイクルの構成

PIPO テストコントローラからピンエレクトロニクスの各チャンネルへのアクセスは、PE-Scan と呼ぶスキャンシステムを採用した (図 4-9)。PE-Scan はランダムアクセススキャン方式であり、必要なピンのみアクセスできるので総合アクセス時間短縮に効果がある。ピンエレクトロニクスの出力信号は、1 チャンネルずつしか変化しないので、クロストークやグラウンドバウンスの問題から開放された。もちろん、ピン間スキューも考慮する必要がないので、信号伝送経路は非常に安価な構造を採用できた。

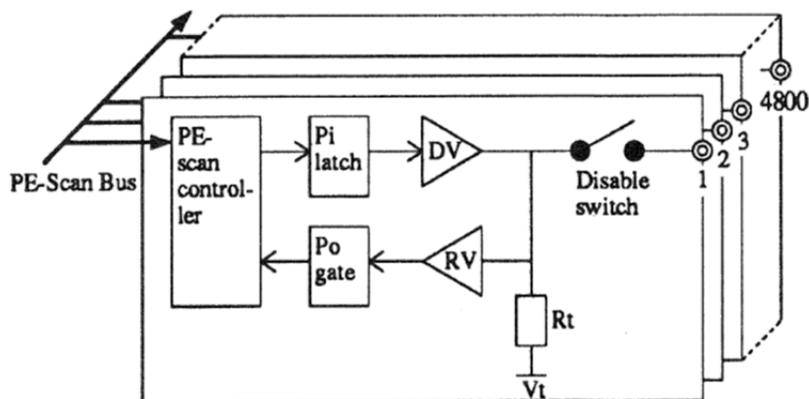


図 4-9 PE-Scan 方式

本テスターのために 20 チャンネルのピンエレクトロニクス回路（テストが DUT と直接信号のやりとりをする回路）を実装した専用 LSI を開発した。これにより 4,800 ピンと超多ピンにもかかわらず物理的に非常に小さく、低価格のピンエレクトロニクスを実現できた。図 4-10 に 240 チャンネルのピンエレクトロニクスボードの外観を示す。

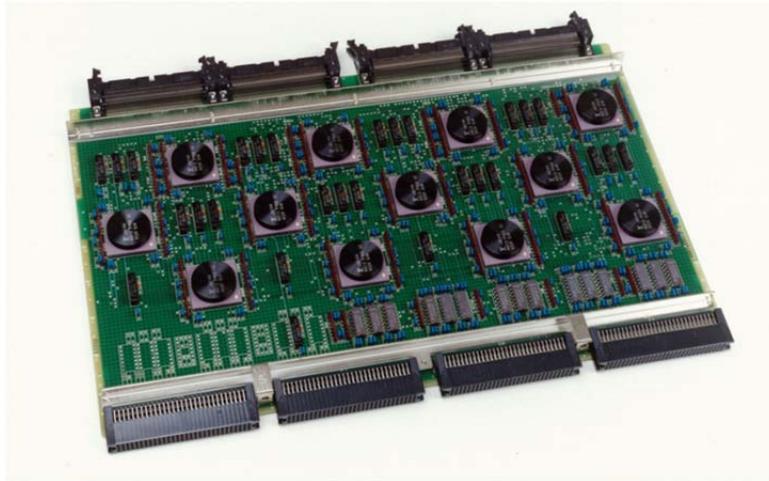


図 4-10 ピンエレクトロニクス

## 2) スキャン制御

一般 PIPO のアクセスポイント数に比べてスキャンからのアクセスポイント数の方が極めて多いので、スキャンの試験速度はできる限り高速化した。被試験ボード(UUT)のスキャンシステムを高速アクセスするために、スキャンテストコントローラには長大なテストパターンメモリーを持たせた。低速動作する一般 PIPO 用のピンエレクトロニクスとは別に数十チャンネルの高速スキャンドライバーを設け信号伝送経路にも注意を払った。最大 20MHz の速度でスキャン試験可能である。

## 3) クロック制御

ディレイテストにおける時間精度は UUT に印加するクロックの時間精度で決定される。そこで、ボードディレイテストのために高い時間精度のクロック発生器を開発した。そして高精度のクロックパルスを UUT まで通過させるために、超高速クロックドライバーや高品質の伝送回路を採用した。本テスターは 10 本のクロックチャネ

ルを装備している。

#### 4) 故障診断

ネットテストやディレイテストで故障が検出されると自動故障診断プログラムが動作して、直ちにボード上の故障箇所を指摘する。故障診断は、テスト結果、テストパターンおよび回路データベースなどを総合的に解析することにより故障箇所を導出する。診断結果の例を図 4-11 に示す。従来のようにガイデッドプロービングや回路図のトレースなどの故障解析作業なしで、物理的な故障位置が作業者に通知される。

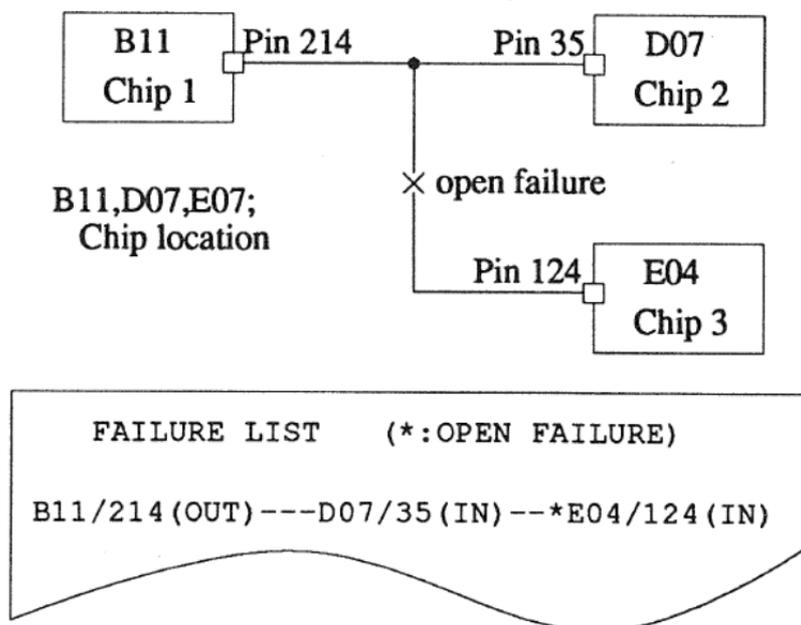


図 4-11 故障診断リスト

### 5) マージンテスト

本テスターは環境温度，電源電圧，テストタイミングなどを変えて，動作マージンの試験もでき，製品の高い信頼性を保証するとともに製品評価にも使用できる．開発したテスターの外観を図 4-12 に示す．

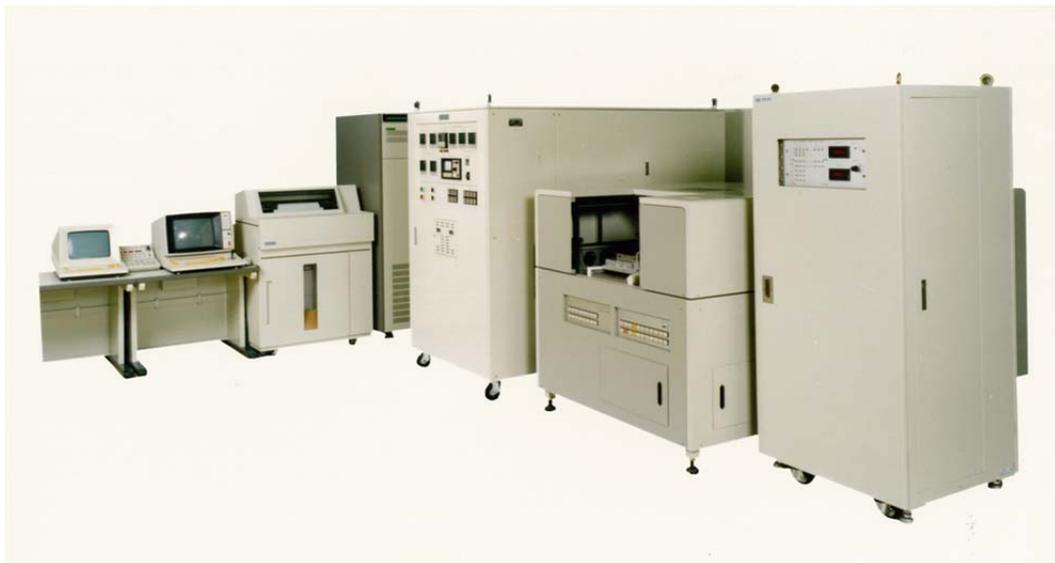


図 4-12 ボードテスター

## 6. 効果

ネットテストは 2,000,000 ゲート，20,000 ネットのボードをテストカバレッジ 100% でテストでき，そのためのテスト生成時間は 1 日以内である．ディレイテストの試験精度は  $\pm 100$  ps，最小クロック間隔は 5ns であり，これは 4,800 ピン 200MHz の高速ファンクションテスターと同等の効果である．どちらのテストも 10 分以内に試験が完了する．

## 第5章 バウンダリスキャンテスト

第3章で述べたように、LSIの高集積化とボードの高密度実装に伴いボードアセンブリーの付加価値である相互接続にフォーカスした、国際標準規格(IEEE1149.1)のバウンダリスキャンテストが重要かつ不可欠になりつつある。

本章では、まずバウンダリスキャンテストの方式について述べる。そのうえでこれまでほとんど論じられることがなかった、バウンダリスキャンテスト実行中のIC内部で起こっている回路の振る舞いを分析し、テスト上の課題について言及し、その課題に対する対策を述べる。[1][4]

### 1. バウンダリスキャンテスト

#### 1) 見えない触れないボードの実装テスト

大型計算機に限らずパソコン、携帯電話、デジタル家電などあらゆる電子製品のボードは高密度実装化、高集積化が進んでおり、図 5-1 に示すように基板と電子部品のはんだ接合点を見ることも触ることもできない状況となりつつある。BGA/CSP パッケージ、フィレットレスチップ部品、両面実装、スルーホールのないビルドアップ基板、さらには部品内蔵基板などが使われるようになった。

その結果、ボードの実装テストとしては一般的で広く普及していた、画像処理による自動外観検査 AOI、プロービング電気試験によるインサーキットテスト ICT が役に立たない、あるいはテストカバレッジが著しく低下する事態になってしまった。

これの問題に対応するために登場したのがバウンダリスキャンテスト手法である。

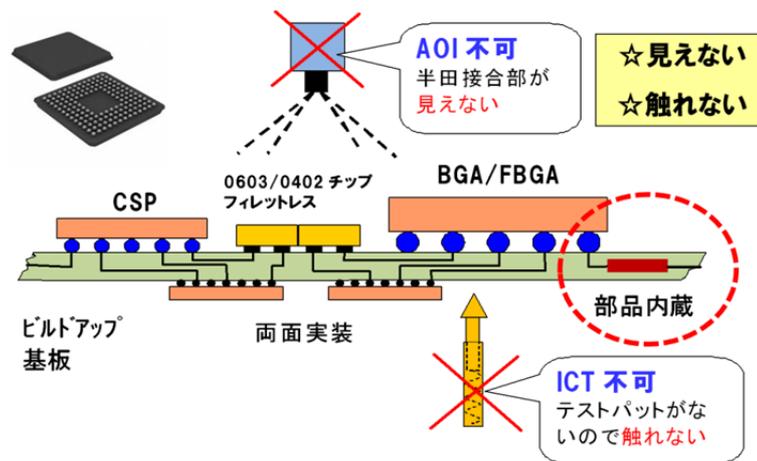


図 5-1 はんだ接合点が見えない触れない近年のボード

## 2) バウンダリスキャンテストとは

バウンダリスキャンテストは 1990 年に国際標準規格 IEEE1149.1 として登場した。このテスト手法は規格を制定したワーキンググループの名前から JTAG(ジェイタグ; Joint Test Action Group)とも呼ばれる。バウンダリスキャンテストの基本的な目的は IC ピン間の相互接続試験 (Interconnection Test) であり、前章で述べたピンスキャンによるネットテストと目的は同じである。しかしピンスキャンと大きく異なるのは、国際標準のため異なるメーカーの IC が同一ボードに混載されても、これらの IC が連携してテストできる点である。

## 3) バウンダリスキャンテストの原理

バウンダリスキャンの原理を図 5-2 に示す。試験容易化設計として、LSI 設計時にピンとコア回路の間にバウンダリスキャンセル回路を挿入、これらのセル同士はシフトレジスタを構成、また試験回路全体を制御する TAP (Test Access Port) コントローラを実装する。一方ボード設計時に、4 本または 5 本 [TDI (Test Data In), TDO (Test Data Out), TMS (Test Mode Select), TCK (Test Clock), TRST (Test Reset, オプション)] からなる JTAG バスで LSI 間を接続し、この JTAG バスをテスターと接続するための接続機構を設ける。

テスト時には、シフト動作によりテスターからバウンダリスキャンセル BS-CELL にテストパターンを送り込んだり、BS-CELL のデータをテスターに取り込んだりできる。

テスターからの「アップデート」指示で BS-CELL の値は LSI ピンへ出力され、「キャプチャ」指示により LSI ピンの論理値を BS-CELL へ取り込むことができる。

非テスト時には BS-CELL は、論理回路的には透過状態となってコア回路の本来の動作に全く影響を及ぼさない。

テスト時は BS-CELL が LSI のピンを支配し、コア回路はテストに全く関与しない。それゆえ、コア回路がどんなに大規模であってもバウンダリスキャンテストには全く影響しないという重要な特長がある。

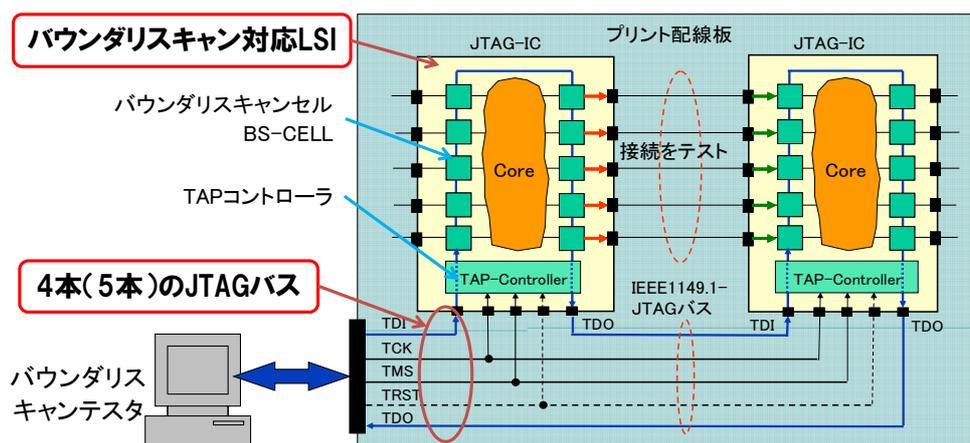


図 5-2 バウンダリスキャンテストの原理

## 4) バウンダリスキャンテストの例

バウンダリスキャン対応の2つのLSIが搭載されたボードのテストの例を図5-3に示す。テスターからシフト動作により010という印加パターンをLSI-1のバウンダリスキャンセルにシフトインし、アップデート指示をするとそのテストパターンがLSI-1のピンに現れ、そのテストパターンは基板を通過してLSI-2へと伝播される。ここで図5-3に示すようなオープン（半田未着）やショート（半田ブリッジ）の製造欠陥があるとLSI-2のピンには本来010の論理が現れるべきだが、100の論理が現れ、キャプチャ指示により100がバウンダリスキャンセルに取り込まれる。これをシフト動作でテスターに取り込み、テスター内の期待値と比較すると不良と判断される。これをさらに故障解析するとオープンとショートの箇所を指摘できる。

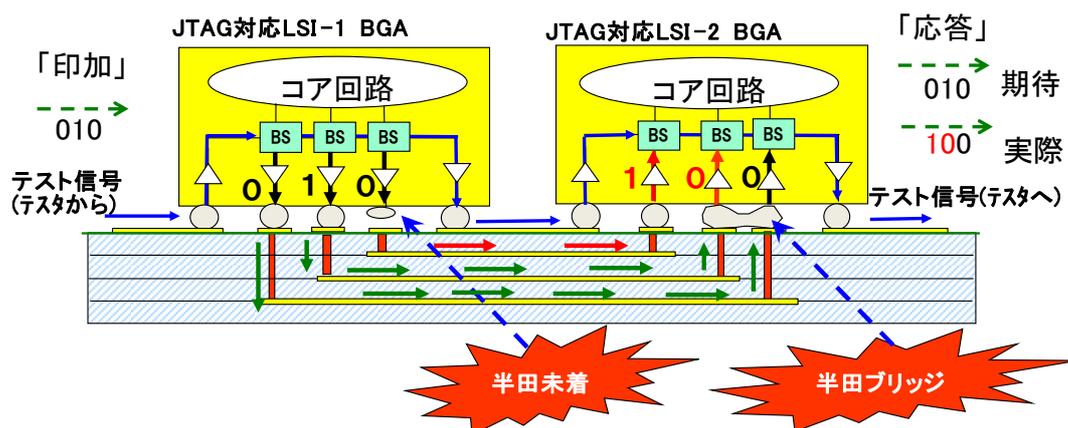


図 5-3 バウンダリスキャンテストの例

## 5) バウンダリスキャンの効果

バウンダリスキャンテストの試験時間は、一般的なテストであれば数秒と短時間で完了し、不良を検出した場合には図5-4に示すようにピンポイントで故障位置を指摘できることである。

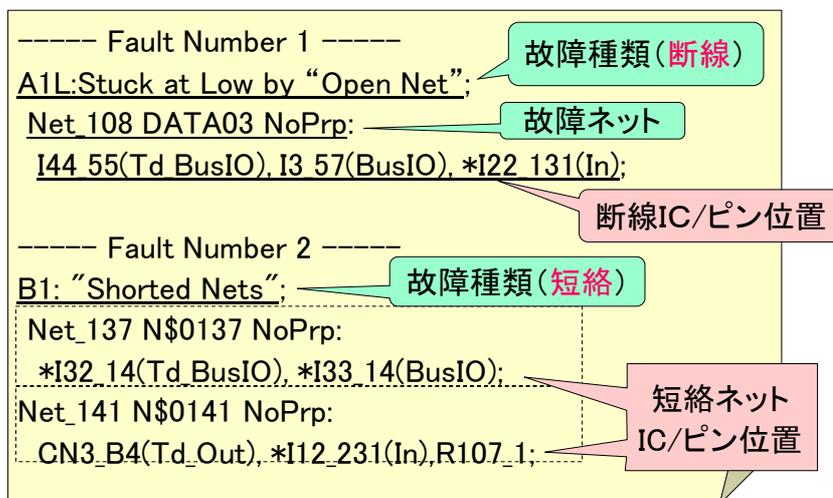


図 5-4 バウンダリスキャンの故障診断リスト

## 2. バンダリスキャンテスト実行時の IC 内部の擾乱

バウンダリスキャンテストはこれまで実装ボード上の IC ピン間の相互接続テストに関して論じられることが多かったが、テスト中の IC 内部の回路状況に関しては十分に考察されていない。

しかしながら、バウンダリスキャンテスト中は IC の内部回路（コア回路）が IC の外部と遮断状態となり、それに起因して IC 内およびボード内が異常状態となり、テストを正常に実行できない現象が発生することがある。

本 2 節では、まず、バウンダリスキャンテスト中のコア回路の挙動を説明する。次に、テスト中のコア回路の挙動がボードテストへ与える影響について述べ、ボード内での異常状態の発生メカニズムを解析する。更に、バウンダリスキャンテストにおける異常状態発生の実例を示す。最後に、異常状態の発生を回避する対策について述べる。

## 1) バウンダリスキャン動作とボードの異常状態

ここでは、まず、バウンダリスキャンテストにおける IC 内部の動作を述べ、次にバウンダリスキャンテスト実行中に「テスト不能状態」に陥るボードの異常状態について述べる。

図 5-5(a)では、2つのバウンダリスキャンデバイス (LSI-1, LSI-2) が非テストモード状態にあり、デバイス本来の機能動作をしている時の信号の流れを示している。非テストモードにおいて、入力信号はバウンダリスキャンセル (BS-CELL) のパラレルイン (PI) から入ってパラレルアウト (PO) へ通過していく。非テストモードでは BS-CELL の存在が一般動作には全く影響を与えない信号透過状態になっている。

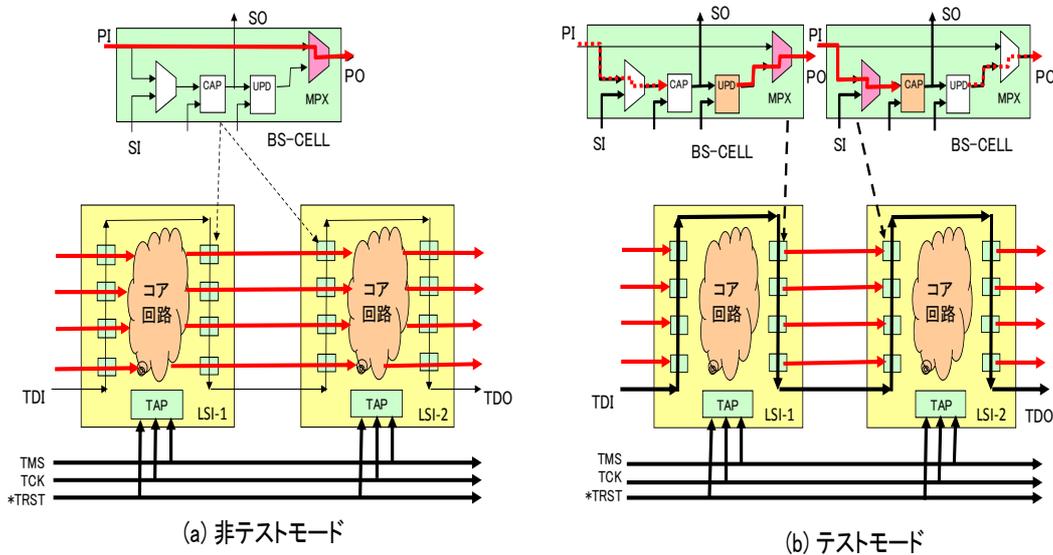


図 5-5 バウンダリスキャンセルの動作

図 5-5(b)はテストモード時の信号の流れを示しており、BS-CELL 内のマルチプレクサ MPX はバウンダリレジスタ (CAP, UPD) 側を選択するので、コア回路は外部と遮断される。またボード内の IC 間の配線 (ネット) に現れる信号はバウンダリレジスタだけで観測および制御される。ネット上の論理状態はキャプチャレジスタ (CAP) で捕捉され、アップデートレジスタ (UPD) がネットの論理状態を設定する。キャプチャレジスタは IC 内およびボード内でチェーン状に接続されておりシフトレジスタを

構成している。このシフトレジスタを使ってバウンダリスキャンテスターで良否判定するために、捕捉したデータをシフトアウトすると共に、ネットに次の論理状態を設定するために、テストパターンをシフトインする。ここでテストパターンとは、ある時刻でのアップデートレジスタ群に設定すべき複数ビットから構成されるデータである。1枚のボードをテストするためには、複数のテストパターンを必要とする。それらのテストパターンを1パターン毎に印加して、対応するボードからの応答パターンを期待値データとテスター内で比較することで、逐次テストが実行される。

バウンダリスキャンデバイスのテスト動作は図 5-5(a)(b)に示す TAP(Test Access Port controller)によって制御されている。TAP はステートマシンやインストラクションレジスタなどから構成されている。ステートマシンは 16 のステートを遷移しながらテスト動作順序を制御している。またインストラクションレジスタにセットされた命令コードに基づいてバウンダリスキャンセルなどのテスト回路の動作モードが決定される。

次に、バウンダリスキャンテスト実行時のボードの異常状態について述べる。バウンダリスキャンテスト実行中に、まれに「説明が困難なテスト不能状態」に陥ることがある。具体的には、1) あるテストパターン以降のすべてのテストパターンが誤り応答となることや、2) ボード内電源の出力が突然遮断されてしまい、バウンダリスキャンテストが続行できなくなるなどである。これらの現象が生じる場合は、個別のテストパターンでは正しくテストできていたにも関わらず、全テストパターンを連続してテスト実行すると、途中から大量の誤り応答が発生する。

## 2) ボードの異常状態の解析

上述のバウンダリスキャンテスト中のボードの異常状態の原因はこれまで解明できていなかった。そこでボードの異常状態の発生メカニズムについて考察し、下記のような仮説を立てた。

図 5-5(b)に示すように、バウンダリスキャンテスト時にコア回路は外部と遮断され、外部からのすべての信号はコア回路には全く到達しない。またコア回路の出力信号は外部に到達しない。ここで図 5-6 に示すように、コア回路内でウォッチドッグタイマ

ーが動作しているとする。しかしウォッチドッグタイマーはバウンダリスキャンセルによって外部と遮断されているために被監視信号の変化を観測できない。その結果、一定時間後にアラームを発生する。一方、そのアラーム信号出力はバウンダリスキャンセルにおいて遮断されているため、外部からはこのアラーム状態を観測できない。このように外部から遮断された IC 内部回路が異常状態にあり、かつその異常状態を外部へ知らせることができない状況を **内部擾乱(じょうらん)**と定義した。しかし IC が内部擾乱の状態であっても、バウンダリスキャン回路はコア回路とは独立に動作しているので、バウンダリスキャンテストは正常に動作を続けることができる。ただし下記のように複数のテストブロックが存在する場合は様子が異なってくる。

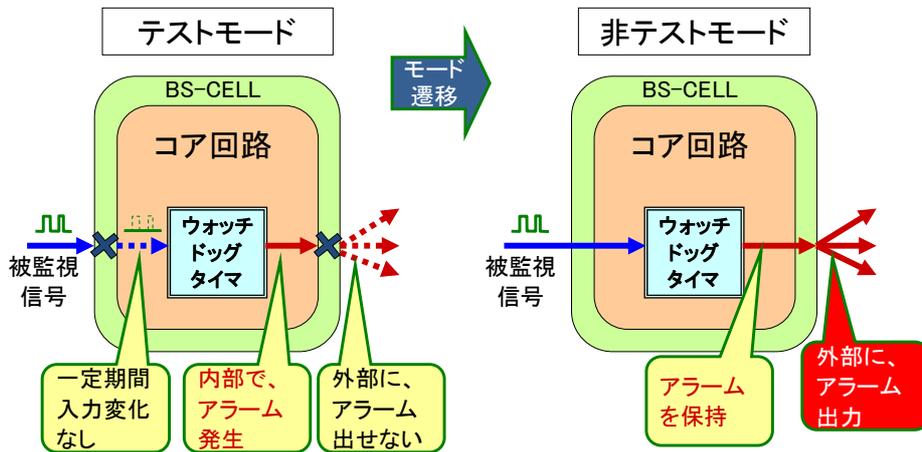


図 5-6 コア回路でのウォッチドッグタイマーの動作例

ボード内のテスト対象領域をいくつか分割してテストする場合、各領域毎にテスト生成が行われる。例えばバウンダリスキャンデバイス同士間の相互接続テスト方法と、バウンダリスキャンデバイスと非バウンダリスキャンデバイス(メモリーなど)間の相互接続テストを行う場合では、テストパターンが全く異なり、またテスト対象 IC も異なるからである。1つの領域についてテストパターンは複数あり、これをテストブロックと呼ぶ。1枚のボードのテストは、領域分割数のテストブロックにて構成される。

各テストブロックのテストパターンでテストを実行する前に、テスターは TAP を

Test-Logic-Reset ステートに遷移させてテスト回路を初期化したり，PRELOAD 命令によるテストの前処理を行う．その後，EXTEST 命令によって当該 IC はテストモードに入り，当該テストブロックのテストパターンによってテストが実行される [Kame12] [IEE01]．

第 1 番目のテストブロックでは，一旦テストモードに入ると，例え内部擾乱が起これども，ブロック内の最後のテストパターンまで正常にテスト実行される．しかしながら，第 2 番目のテストブロック実行の直前に，Test-Logic-Reset や非テストモード命令である PRELOAD 命令が実行された瞬間に，デバイスはテストモードから非テストモードに遷移する．デバイスが非テストモードに遷移したことによって，バウンダリスキャンセルは信号透過状態となり，コア回路は外界との信号のやり取りを再開する．その結果，図 5-6 に示すようにウォッチドッグタイマーのアラーム出力がその IC の外部へ伝播されることとなり，アラーム信号はボード全体へ通知される．これによりボード全体が異常状態に陥り，内部電源供給が遮断されることもある．結果，バウンダリスキャンテストを正常に続行できなくなる．

図 5-7 は非テストモードとテストモード（バウンダリスキャンテスト実行時）間の遷移の様子を示している．バウンダリスキャンテストにおいて，IC がテストモードであるか非テストモードであるかは，TAP のインストラクションレジスタに設定された命令コードによって決定される．直前のテストモード時に，もし IC が内部擾乱となっていたと，非テストモード命令が設定されるやいなやボードが異常状態となる．

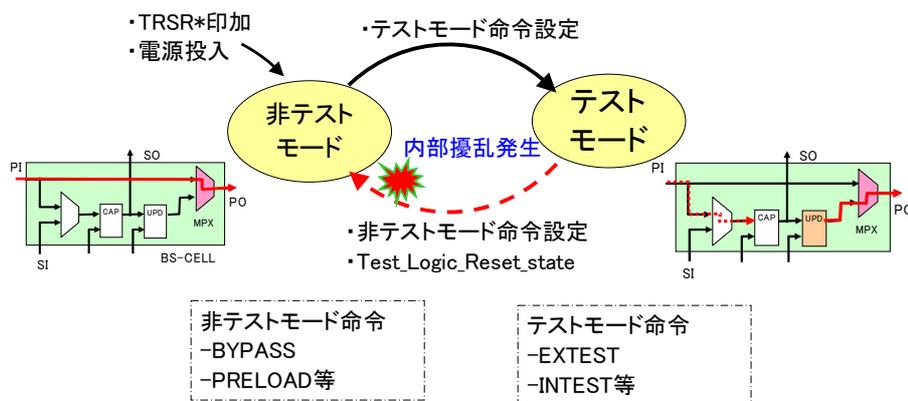


図 5-7 テストモードの遷移

本章で述べた異常状態発生メカニズムの仮説を、実際のボードでの異常状態に適用し、仮説の正当性の裏付けおよび対策を行った。

### 3) 内部擾乱によるボードの異常状態発生事例

ここでは、著者らがパソコンのマザーボードのバウンダリスキャンテスト開発中に観測した異常状態発生の事例を2)項で述べた発生メカニズムの仮説に基づき解析する。

解析の対象としたパソコン用のマザーボードを図 5-8 に、そのブロック図を図 5-9 に示す。



図 5-8 実験に使ったパソコンのマザーボード

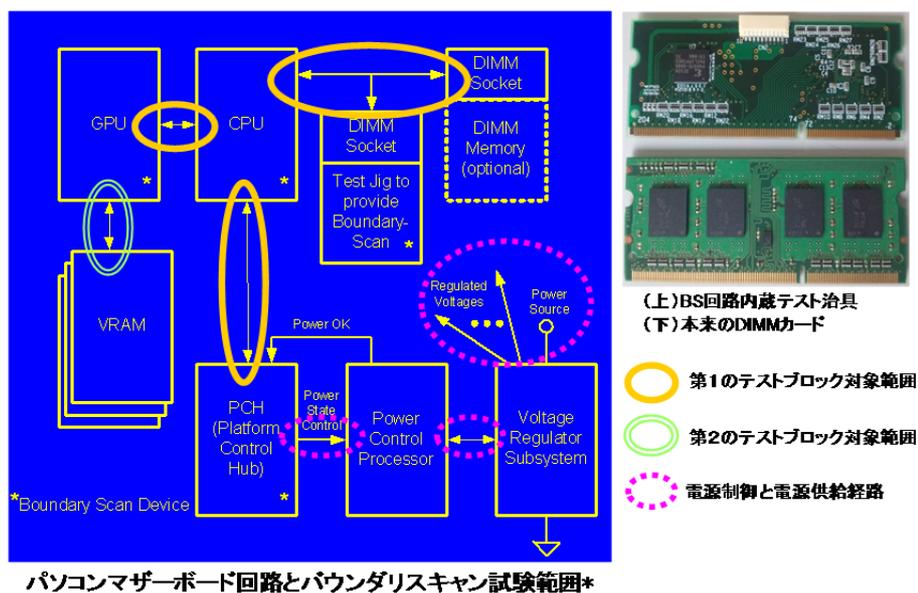


図 5-9 ボードのブロック図とテスト治具

第1番目のテストブロックでは、図 5-9 の一重丸で示したバウンダリスキャンデバイスである CPU, PCH, GPU, DIMM 間の相互接続テストを行う。

第2番目のテストブロックでは図 5-9 の二重丸で示した GPU と VRAM 間の相互接続テストを実施する。しかし、この第2番目のテストブロックにおけるテスト結果は、全パターンフェイルであった。注意深く観測すると第2番目のテストブロックに入る前、第1番目のテスト終了後にマザーボードの電圧レギュレータ (Voltage Regulator Subsystem) の出力がオフしている。

これは第1番目のテストブロック実行中に PCH デバイスが内部擾乱状態となり、第2番目のテストブロック開始前に、テストモードから非テストモードに遷移した瞬間に、アラーム信号をボード内に発信してしまうことによりボードの異常状態が発生した。PCH デバイスはボード内の電源制御も行っており、アラーム状態になると PCH デバイスは電源制御プロセッサ (Power Control Processor) に対してシャットダウン命令を発令、電源制御プロセッサは電圧レギュレータの出力をシャットダウンする (図 5-9 の点線丸で示す)。なお PCH デバイスが内部擾乱状態に陥る原因としては、前述のウォッチドッグタイマーの問題だけに限らず、PCH デバイスが監視している

様々なボード内の状態（Power States, Device States, Processor States 等）[INTL10]が関係している。

このように本論文で述べた異常状態発生メカニズムの仮説は現実の事象に適用できる。

#### 4) ボードの異常状態発生の対策

ここでは、異常状態発生メカニズムの仮説に基づいて実施したボードの異常状態の発生を回避する対策について述べる。PCH デバイスは前述したように種々のシステム監視機能を持っており、コア回路が外部と遮断されると内部擾乱に陥ることがある。しかし PCH 以外のバウンダリスキャンデバイスはシステム監視機能を持たないので内部擾乱に陥ることがないことをデバイスメーカーからの情報や実証実験によって確認した。

本論文で述べた仮説によれば、あるテストブロックを実行する際に、直前に実行したテストブロックで内部擾乱状態のデバイスがあれば、当該テストブロック実行直前にボードは異常状態になる。逆に内部擾乱状態のデバイスがなければ異常状態にはならない。そこでテストブロックの実行順番を入れ替えて、当初第2番目に実施していた GPU-VRAM 間のテストブロックを第1番目に実施するように変更した。このテストブロックでは PCH デバイスがテストに関与してないので、第1番目のテストブロック実行中に内部擾乱に陥るバウンダリスキャンデバイスはない。その結果、第1番目のテストブロック終了後、次の第2番目のテストブロック開始前に行う初期化処理のためにテストモードから非テストモードに遷移してもボードは異常状態にはならない。これにより、第2番目のテストブロック、すなわち CPU, PCH, GPU, DIMM 間の相互接続テストを続けて実施することが可能となった。

ただし、第2番目のテストブロック終了後には、PCH デバイスは内部擾乱となっており、ここでもしデバイスが非テストモードに遷移すればボードは異常状態となってしまう。そこで、一般的にテスト終了時に行う Test-Logic-Reset などによるボードの初期化は敢えて行わないことで、デバイスをテストモードに保ったまま、テスターから供給している被テスト回路の電源を切断してテストを終了させている。

このような対策によって2つのテストブロックからなる相互接続テストを問題なく連続実行できるようになり、仮説の正当性が裏付けられた。

#### 5) IC 内部の擾乱のまとめと課題

これまで、バウンダリスキャンテスト実行時の相互接続テストにおけるコア回路の動きについては、ほとんど議論されていない。そこで、本論文では、テストモードにおいてコア回路が、外界と遮断されることで内部擾乱を誘発し、その結果としてバウンダリスキャンテスト中にボードが異常となるメカニズムの仮説をたて、それを実験によってその正当性を裏付けた。

更に、その仮説に基づき実際の事例を説明すると共に解決策を明らかにした。これによって、筆者らは、バウンダリスキャンテストに携わるテスト技術者が迅速な問題解決や事前に対策を講じることができると考えている。

しかしながら、本論文で述べた問題が発生しないように事前に考慮することはより重要である。

今後の課題として以下のような施策が考えられる。

1つ目は、バウンダリスキャンデバイスのピンやレジスタの構成などを表現するための BSDL (Boundary Scan Description Language) には、attribute BOUNDARY\_REGISTER の記述で"safe bit"を定義できる[Kame12] [IEE01]。このビットの機能はテストモード状態でアップデートレジスタに常に固定値を設定するもので、これを内部レジスタのリセットのために適用すれば、テスト中に常に内部回路をリセット状態に保持でき、内部擾乱の発生を未然に防止できる可能性がある。今後デバイスメーカーと協議し展開を図りたい。

2つ目は、IEEE 1149.1 の仕様見直しワーキンググループが「一旦テストモードに入ると、非テストモード命令や Test-Logic-Reset ステートでは、非テストモードに戻らなくする"Test mode Persistence" 命令」の追加を検討している[4]。これも特異現象の発生防止に役立つと期待される。



## 第6章 ボードテスト技術の三次元 LSI テストへの応用

前章まではボードテスト技術の考え方，試験手法，試験容易化設計，テスター，問題点などを論じてきた．本章ではこれまで述べてきたボードテスト技術を三次元積層集積回路（以下 3D-LSI: Three Dimensional Large Scale Integration）の試験への応用展開について述べる．先ずボードと 3D-LSI の比較，3D-LSI の製造プロセスと製造欠陥，3D-LSI テストに関するサーベイ，アナログバウンダリスキャンによる三次元積層後の TSV 抵抗精密計測法そして今後の 3D-LSI テストの展望について述べる．[2][6]

### 1. 二次元実装と三次元実装

More than Moore を実現する手段として Through Silicon Via (TSV, 貫通ビア)を使った三次元積層集積回路（3D-LSI）の実用化が急がれている．図 6-1 に示すように基板上に LSI を平面的すなわち二次元的に実装して，基板内の導体パターンで LSI ピン間を相互接続したものがプリント回路板（ボード）であり，一方 LSI を三次元的に積み重ねて LSI 自身のシリコン基板（Substrate）を貫通する TSV で LSI ピン間を相互接続したものが三次元積層集積回路である．

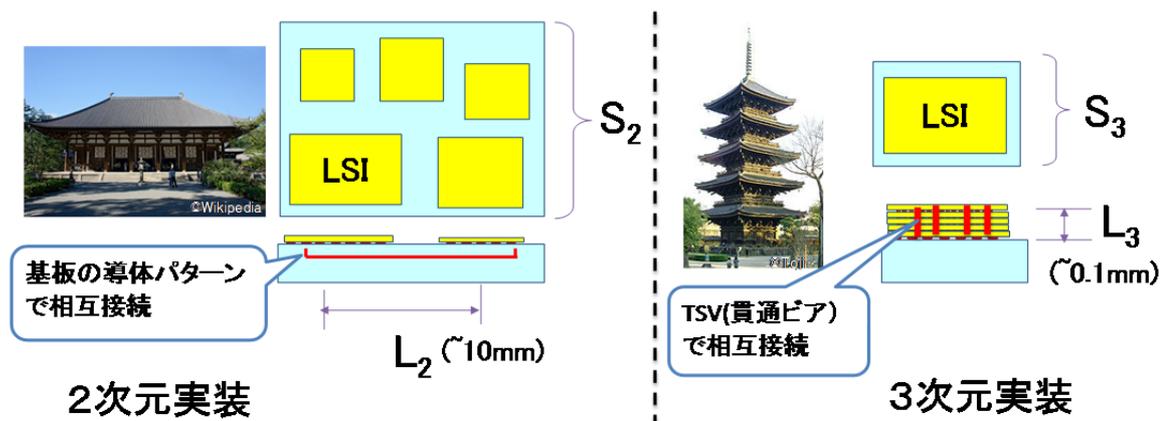


図 6-1 二次元実装と三次元実装

三次元実装することにより実装床面積( $S2 > S3$ )の縮小と配線長( $L2 \gg L3$ )の短縮が可能となるので、電子機器の小型、高速化、低消費電力化など機能・性能の飛躍的向上が期待されるので、半導体、材料、実装、試験などの分野で研究・開発が活発となっている。

両者を電気試験の視点から観ると、LSI を物理的に横に並べるか縦に積むかの違いがあるが、回路的には複数の LSI を相互接続したものであり 3D-LSI はボードと何ら違いはない。すなわち 3D-LSI のテストは、基本的にはボードテスト技術を適用可能またはその延長で考えられる。

## 2. 三次元積層集積回路の製造プロセス

3D-LSI の製造プロセスの一例を図 6-2 に示す。IC 回路と TSV 形成が終わったウェーハを  $50 \mu\text{m}$  程度まで薄化し、マイクロバンプを形成したダイを積層し、上下のマイクロバンプ同士を接合、これを 2 段、3 段と積層・接合を繰り返して、最終的に BGA 基板に実装して 3D-LSI が完成する [Mari09] [Mari12]。

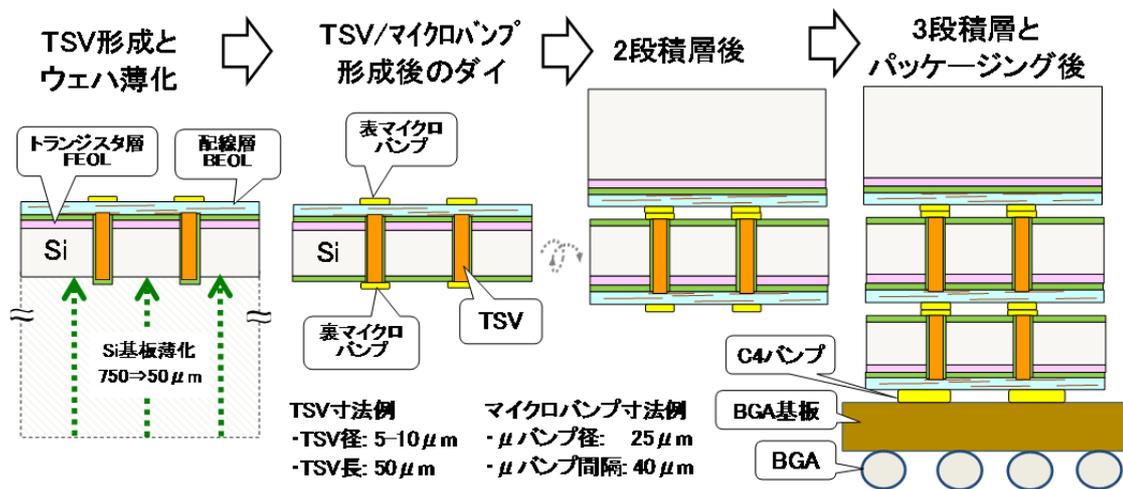


図 6-2 3D-LSI の製造プロセス

なお TSV 形成の方法には “via-first”, “via-middle”, “via-last” があり、図 6-2 は “via-middle” での例で、FEOL (Front-End-Of-Line) プロセス後、BEOL (Back-End-Of-Line)

プロセス前に TSV を形成する。

### 3. 三次元積層集積回路の製造欠陥とテスト

2 節で示した 3D-LSI 製造プロセスにおいて、多くの製造欠陥が入り込む可能性がある。図 6-3 に示すように、TSV 内にボイドができればオープン故障に、TSV の絶縁層にピンホールが開けばショート故障につながる。マイクロバンプの高さが低ければオープン、高過ぎるとはみ出してショート故障の原因となる。積層時のアライメント精度が悪いとオープンやショート故障が発生する。マイクロバンプ間にコンタミがあればオープン故障となるなど様々な製造欠陥が相互接続不良の原因となる[Mari12]。

これらのオープンショート不良を検出するテスト手法として、ボードテストで使われているバウンダリスキャンテストを使うことは一般的となっている[Mari12]。バウンダリスキャンテストを 3D-LSI に組み込んだ様子を図 6-3 に示す。

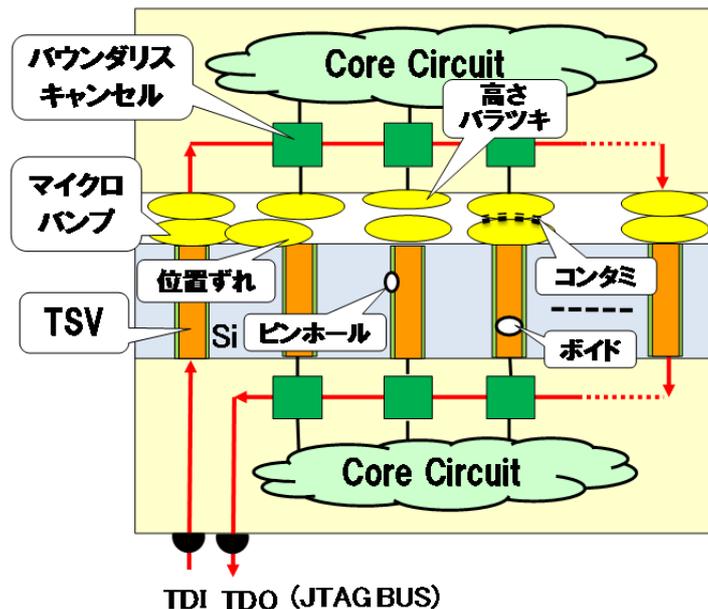


図 6-3 3D-LSI の製造欠陥とバウンダリスキャンテスト

なお 3D-LSI のテストにはテストする工程により、三次元実装前にウェーハーまたはダイの状態ですべてのテストを行う “pre-bond test”，積層の途中で行う “mid-pond test”，積層完了後に行う “Post-bond test” に分けられる。本稿では “mid-pond test” および

“Post-bond test”における相互接続テストにフォーカスする。

#### 4. 三次元積層集積回路テストのこれまでの研究サーベイ

これまでに発表された三次元積層集積回路テストに関する代表的な論文をサーベイしたので一覧表を巻末に添付した。

#### 5. アナログバウンダリスキャン

この節では次の6節で述べる TSV 精密抵抗計測の前準備としてアナログバウンダリスキャンの基本的な方式と応用例について述べる。

##### 1) バウンダリスキャンテストの拡張規格とその動向

第4章では IEEE1149.1 規格に基づくバウンダリスキャンテストによる相互接続テストについて述べた。しかしバウンダリスキャンテストはその方式が高い汎用性を持っているので、IEEE1149.1 規格をベースにして様々な拡張用途が提案され実用化されている。そしてその適用分野はテストに留まらない。以下に策定中のものも含めて IEEE1149.1 規格をベースにした拡張規格とその動向を示す。

- **IEEE 1149.1** 基本バウンダリスキャンテスト(1990年制定, 2013年改定)
- **IEEE 1149.4** アナログバウンダリスキャン (1999年制定)
- IEEE 1149.6 AC-JTAG 高速 I/O (差動 AC 結合) テスト (2003年制定)
- IEEE 1149.7 cJTAG 2 線式・スター接続でのテスト (2009年制定)
- IEEE 1149.8.1 JTAG と TestJet の連携テスト (2012年制定)
- IEEE P1149.10 HJTAG 高速 TAP アクセス (規格策定中)
- IEEE 1532 オンボード書込み In-system Configuration(2000年制定)
- IEEE 1581 メモリー素子とのインターコネクトテスト(2011年制定)
- IEEE P1687 IJTAG LSI 内部の IP テスト (規格策定中)
- IEEE P1838 三次元 LSI テストアーキテクチャ規格 (規格策定中)
- SJTAG システム JTAG, 階層構造の JTAG アクセス (規格策定中)

[2013年11月現在]

本節では掲記規格のうち IEEE 1149.4 アナログバウンダリスキャンについて述べる。

2) IEEE1149.4 アナログバウンダリスキャン

SOC(System On a Chip)の進展に伴い LSI のコア回路には図 6-4 に示すようにデジタル回路とともにアナログ回路が混在するようになってきた. 従来の IEEE1149.1 バウンダリスキャンテストではデジタルネットの相互接続テストしかできないが, アナログネットの相互接続テストができるように拡張したのが IEEE1149.4 規格アナログバウンダリスキャンである. さらにアナログバウンダリスキャンでは素子間にある LCR (インダクター, キャパシター, 抵抗) などの回路素子の特性値を測定することも可能である [Kame12].

従来のデジタル回路でのバウンダリスキャンではピンとコアの間にバウンダリスキャンセルを挿入したが, アナログバウンダリスキャンではピンとアナログコアの間に ABM(Analog Boundary Module)回路を挿入する. ABM 回路は図 6-4 の左側の拡大図に示すように, 6 つのアナログスイッチと 1 つのアナログコンパレータから構成されている.

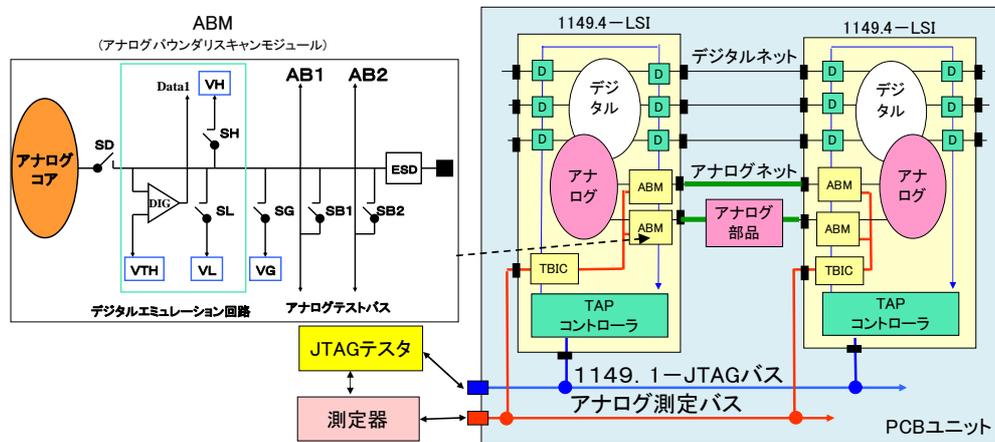


図 6-4 アナログバウンダリスキャンテスト

図 6-5 にデジタルエミュレーションと呼ばれるアナログネットの相互接続テストの方式を示す. 先ず双方の ABM 内の SD スイッチを OFF にして, アナログコアをアナログネットから切り離す. 左側の ABM 内の SH スイッチと SL スイッチを制御してア

アナログネットに VH や VL の電圧を供給する. 右側の ABM 内のアナログコンパレータはアナログネット電圧が VH か VL かを判定して “1”, “0” 信号すなわちデジタル信号に変換する. こうすることでアナログネットは一時的にデジタルネットへと変換されるので, デジタル回路におけるバウンダリスキャンテストと全く同じように相互接続テストが可能となる.

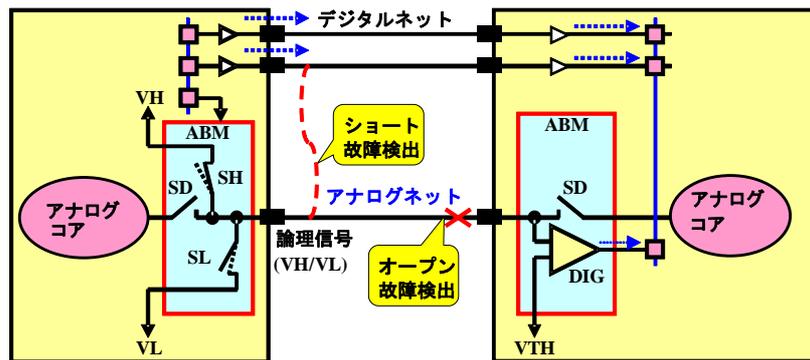


図 6-5 デジタルエミュレーションによるアナログネットのテスト

ABM 内の SB1・SB2 スイッチは LSI のピンと外部の計測器と接続するために, 各々のスイッチは LSI 内の 2 本のアナログバス(AB1, AB2)に接続され, そのバスは TBIC(Test Bus Interface Circuit)経由で LSI の ATAP ピン(AT1, AT2)に接続されている. ボード上の各 LSI の ATAP ピン同士はアナログ測定バスで接続される. このアナログ計測バスを外部の測定器につなぐことで, プログラムで指定された LSI ピンに計測器から信号を送り込んだり, ピンに現れる信号を計測器で測定することができる. この仕組みを使って 3D-LSI における TSV の抵抗値を精密に計測する方法を次の 6 節で詳しく述べる.

## 6. アナログバウンダリスキャンによる三次元積層後の TSV 抵抗精密計測法

本節では, 三次元積層状態での TSV を含む IC チップ間の相互接続抵抗を精密に計測するための, アナログバウンダリスキャンを拡張した計測法を述べる. さらに本計測法による小規模回路での検証実験と大規模回路への適用シミュレーションの結果を

示す。

### 1) TSV 抵抗値を計測する意義

3節で述べたように、3D-LSIでの製造欠陥（ボイド、ピンホール、コンタミ等）に起因する相互接続障害を試験するためにバウンダリスキャンテストを使うことは一般的となっている(図 6-3)。しかし通常のバウンダリスキャンテスト(IEEE 1149.1)では、TSV のオープン/ショートテストはできるが、TSV の抵抗値を計測することはできない。

3D-LSI の開発過程や歩留り向上のための製造評価では、積層後の TSV 抵抗やマイクロバンプ間接合抵抗等を含めた IC チップ間の総合的な相互接続抵抗値を正確に計測する必要がある。3D-LSI の量産においては、TSV やマイクロバンプの形成、チップ積層時のアライメントや接合プロセスが正確で安定していなければ、歩留りを向上させることはできない。これらの製造プロセスが正常であれば図 6-6 に示すように TSV 抵抗値は正規分布となるはずである。しかし正規分布を外れた特異値 (Outlier) が見つければ、それは局所的なプロセス異常の可能性があり、それに対応する施策を打つことで歩留りを改善することができる。このように TSV の個々の正確な抵抗値計測ができれば、歩留り改善や信頼性改善に寄与できる。

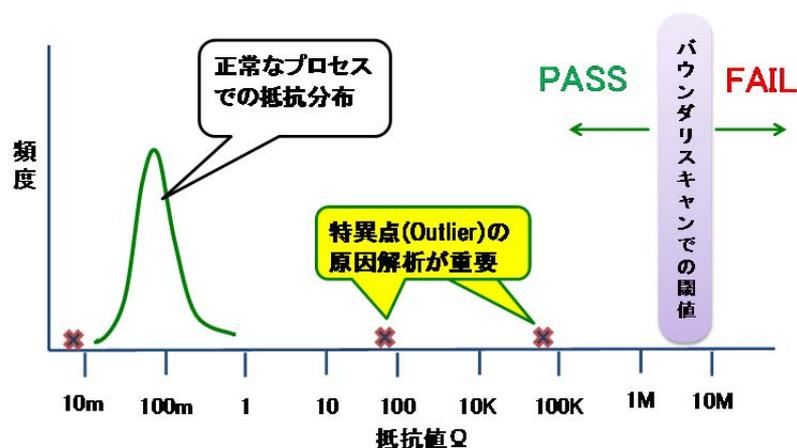


図 6-6 プロセス異常の発見

これまでは、評価用の多数の TSV をデイジーチェーン接続して抵抗を測定し 1 個の TSV の抵抗値を推測する方法[Chan10]や少数の四端子計測用サンプル TSV を測定した例[Stuc10]が報告されている。しかしながら、これらの方法は三次元実装前の TSV 抵抗計測であり、いまだ三次元積層後の相互接続抵抗の計測法は確立していない。

本節では、従来のアナログバンダリスキャン(IEEE1149.4)による計測法を拡張して、三次元積層状態での IC チップ間の相互接続抵抗を高精度に計測する方法を提案する。まず、2)項では、従来のアナログバンダリスキャンによる抵抗計測の概要を説明したうえで、TSV 計測における問題点を述べる。3)項では、それらの問題点を解決するための手法を提案する。4)項では、提案法の実現可能性を評価するために行った小規模回路での検証実験および大規模な 3D-LSI への適用シミュレーションの結果を報告する。最後に本提案のまとめと今後の課題を述べる。

## 2) アナログバンダリスキャンを TSV 抵抗計測に適用する場合の問題

ここでは、アナログバンダリスキャン規格の概要とそれを TSV 抵抗計測に適用する場合の問題点を述べる。

### ① アナログバウンダリスキャン規格による抵抗測定

IEEE1149.4 アナログバウンダリスキャンの原理と応用については、5.2)項で述べた。この項では、アナログバウンダリスキャンによるチップ間の抵抗値計測について、IEEE1149.4 規格に示されている従来手法による計測方法を述べる。

図 6-7 (a)(b)に 1149.4 規格で推奨されているアナログバウンダリスキャンによる IC 間の抵抗値計測の原理図を示す。先ず(a)図に示すようなスイッチの設定にして、定電流  $I_s$  を抵抗  $Z$  に印加しながら  $Z$  両端の対地電圧  $V_1$ ,  $V_2$  のうち  $V_1$  を電圧計  $V$  で測定する。つぎに(b)図のようなスイッチ設定にして、抵抗  $Z$  の右側の対地電圧  $V_2$  を測定する。その後、制御計算機で(1)式に示す計算を行い、抵抗値  $Z$  を算出する。これを対地電圧差分法と呼ぶ。

$$Z=(V_1-V_2)/I_s \text{ ----- (1)}$$

この方法は四端子計測法と同等であり、ABM 内のアナログスイッチ (以下 A-SW) の内部抵抗の影響なしに正確に抵抗計測ができるとしている。

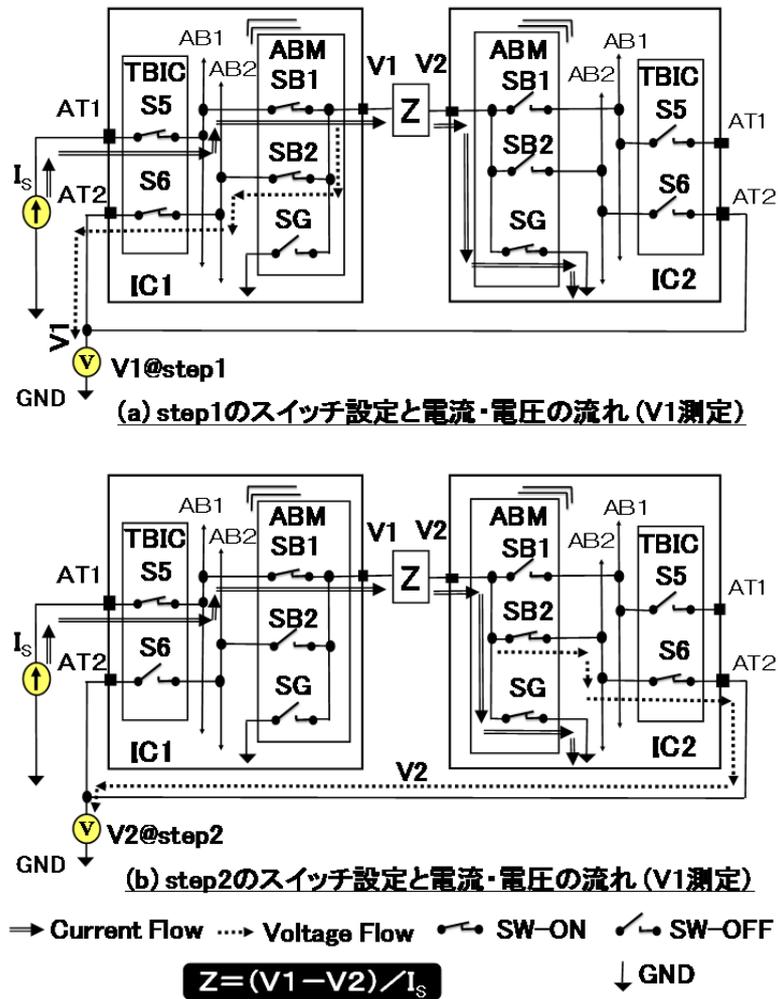


図 6-7 1149.4 規約の対地電圧差分法による抵抗計測

② アナログバンダリスキャンを TSV 抵抗計測に適用する際の問題点

アナログバンダリスキャンを 1149.4 規約通りの対地電圧差分法を TSV 抵抗計測に適用した場合の問題点を述べる。

1149.4 規格[IEEE00]によると、本規格の目的は 10 Ω から 100 kΩ の範囲のインピーダンスを正確に計測すること、と記述されている。しかしながら、本節で計測対象とする TSV の抵抗値は 10Ω より遥かに低い 100mΩ 程度であり、1149.4 規約に従って TSV 抵抗を計測すると下記のような問題が生ずる。

## (a)対地電圧差分法の問題

TSV の抵抗値 (数十～数百  $m\Omega$ ) は, ABM と TBIC 内の A-SW の抵抗値 (数百  $\Omega$ ) に対して千分の 1 以下であるので, 印加電流  $I_s$  による TSV の電圧降下も A-SW のその千分の 1 以下となる. もし図 6-8 における  $V_1$ ,  $V_2$  の電圧測定精度が千分の 1 (0.1%)程度であれば, 電圧測定誤差と TSV の電圧降下とが同程度となってしまう. 図 6-8 に示すように,  $V_1$  と  $V_2$  の対地電圧の測定誤差 ( $\epsilon_1$ ,  $\epsilon_2$ ) が,  $V_1$  と  $V_2$  の真の電圧差  $\Delta V$  と同等またはそれ以上になると, (1)式による抵抗値算出では誤差が非常に大きくなったり, マイナス値となることがある. このように対地電圧差分法は, TSV のような微小な抵抗値の計測には利用できない.

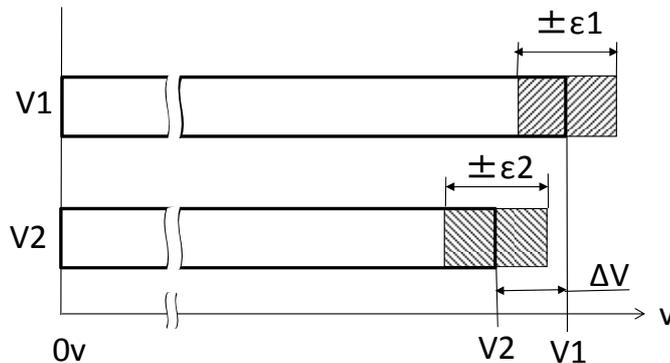


図 6-8 対地電圧差分法での計測誤差の問題

## (b)IC 内配線抵抗の影響

ABM から被測定物 (マイクロバンプや TSV) までの IC 内の配線抵抗 (数百  $m\Omega$ ～数  $\Omega$ ) は, 微小な TSV 抵抗 (数十  $m\Omega$  か～数百  $m\Omega$ ) を計測する場合, 直列加算抵抗となるので, 大きな計測誤差の原因となる. また配線途中に ESD 対策用の抵抗がある場合は更に大きな誤差となる.

## (c)A-SW のリーク電流の影響

数千から数万の TSV を計測する場合, 同じ数の ABM が内部バス (AB1, AB2) に接続されるので, A-SW のリーク電流の影響が大きくなり, 計測誤差が生じる.

### 3) TSV 抵抗計測のためのアナログバウンダリスキャンの拡張法

これまでに述べたように、現行のアナログバウンダリスキャン規約通りの計測方法(対地電圧差分法)をそのまま適用するだけでは、微小な TSV 抵抗を精度よく計測できない。ここでは、TSV 精密抵抗計測のための拡張法を提案する。

#### ① フローティング電圧計測法

被測定物の両端の電圧をフローティング計測できる回路構成を新たに導入する。前述した図 6-7 の従来手法の回路構成では、GND 基準の電圧測定しかできない。しかしながら、図 6-9 の回路構成によって、電流印加および電圧測定共に GND から浮かして(フローティング)計測でき、かつ TSV での電圧降下を直接計測できる。結果として、TSV での微小電圧降下を高分解能で計測できると共に GND ノイズの影響を受けないので高精度計測が可能となる。更に計測は 1 回だけなので計測時間も短縮される。

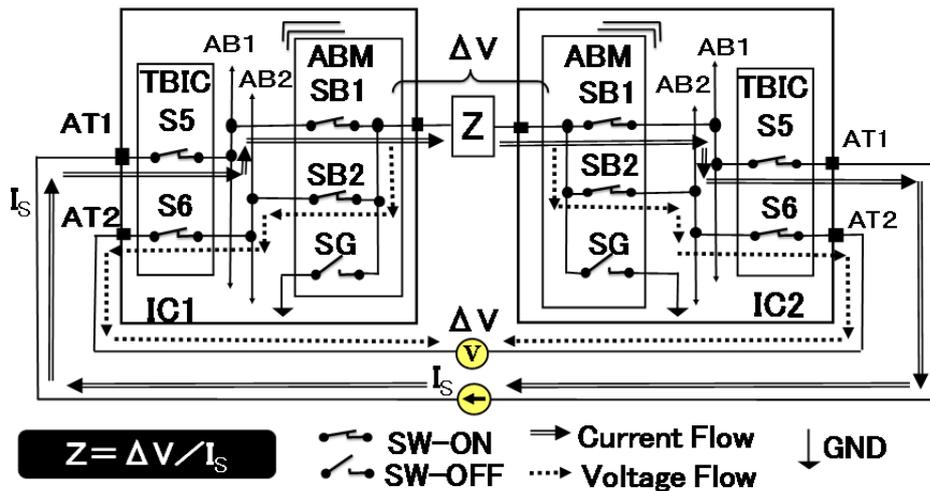


図 6-9 フローティング電圧計測法

#### ② 電流印加経路と電圧測定経路の完全分離

被測定物の直近の電圧を測定するために、電流印加経路と電圧測定経路を完全に分離して、2 系統の配線経路を新たに導入する。具体的には、1 個の ABM 内の配線を電流印加用と電圧測定用に分離して外部端子(マイクロバンプまたは TSV)までそれぞれを配線する方法、または 1 外部端子に対して 2 個の ABM を用いる方法である。なお後者の場合、マクロライブラリ化された ABM 内部配線の変更は不要であり、ま

た ESD 対策抵抗への考慮も不要である。この提案法により、IC 内の配線や ESD 対策抵抗の影響を受けることなく被測定物の抵抗値を正確に計測可能となる。①②で述べた対策を実際の 3D-LSI 回路へ組み込んだ例を図 6-10 に示す。但し TBIC 回路は省略した。

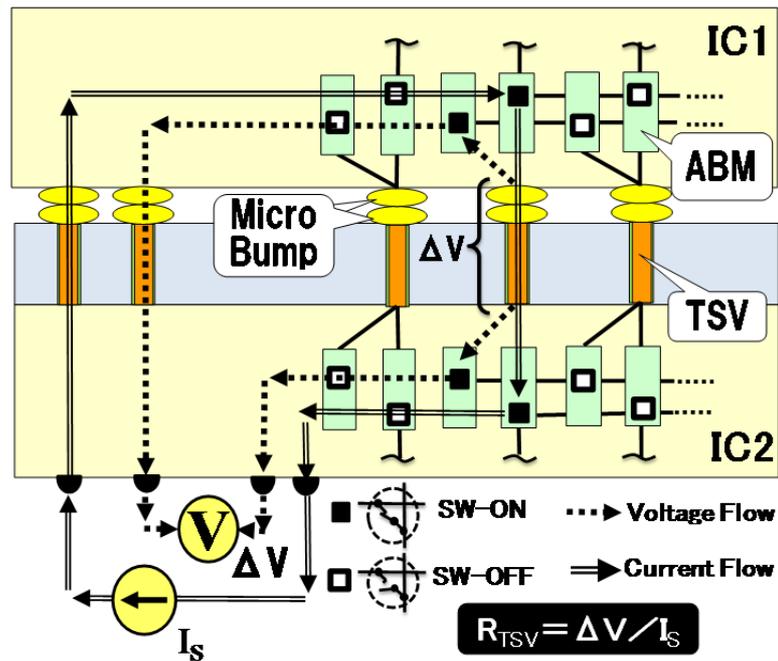


図 6-10 フローティング計測と電圧電流経路分離

### ③ 内部バス (AB1, AB2) の分割

内部バス(AB1, AB2)に接続されている多数(数千~数万個)の ABM をグループ化して、内部バスを分割し、グループ毎に TBIC 回路を配置する方法を新たに導入する。内部バスを  $m$  分割した例を図 6-11 に示す。これにより A-SW のリーク電流の影響を  $m$  分の 1 に低減できる。なお分割数は A-SW のリーク電流特性により決定する。

以上述べたように、提案法によって A-SW のリーク電流に起因する計測誤差を低減できる。

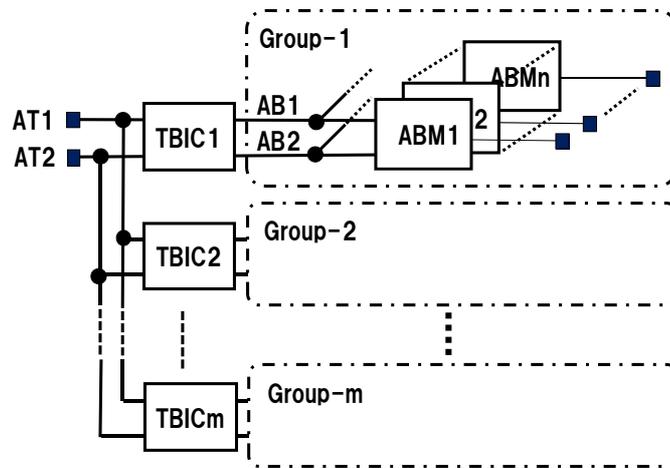


図 6-11 ABM のグループ化と複数 TBIC 配置

#### 4) 検証実験結果

提案法の実現可能性を評価するために、1) 小規模回路での理論検証と計測精度評価、2) 大規模回路を対象とした SPICE シミュレーション評価を行った。

##### ① 小規模回路における理論検証と計測精度評価

図 6-12 に示す小規模実験回路を構築し、上述した計測法の理論検証と計測精度評価を行った。構築した実験装置を図 6-13 に示す。アナログバウンダリスキャン LSI は過去に筆者らが試作した IC (MB87V722, 0.18 $\mu\text{m}$  CMOS) を使用し、擬似 TSV として通常の抵抗体を用いた。抵抗体は実験装置に組み込む前に通常計測方法で予め抵抗値を正確に測定し、これを真値として精度評価を行った。実験結果を表 1 に示す。100m $\Omega$  程度の微小抵抗に対しても誤差 3%と実用的な精度で計測できることを確認した。なお抵抗値が低いほど相対精度が悪くなるが、これは印加電流 1mA を流した場合、100m $\Omega$  の抵抗体での電圧降下は 100 $\mu\text{V}$  と微小であり、抵抗値が低いほど電圧降下が少なくなり、ノイズやドリフトの影響を受け易くなるためである。

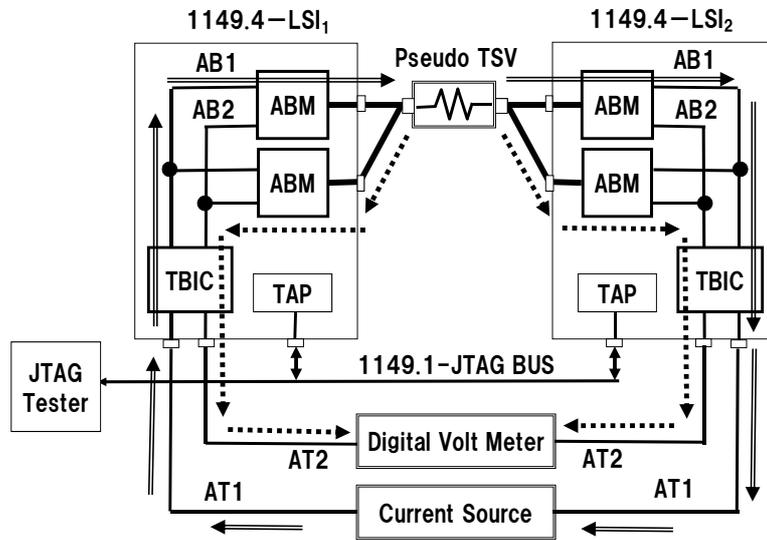


図 6-12 小規模実験回路構成

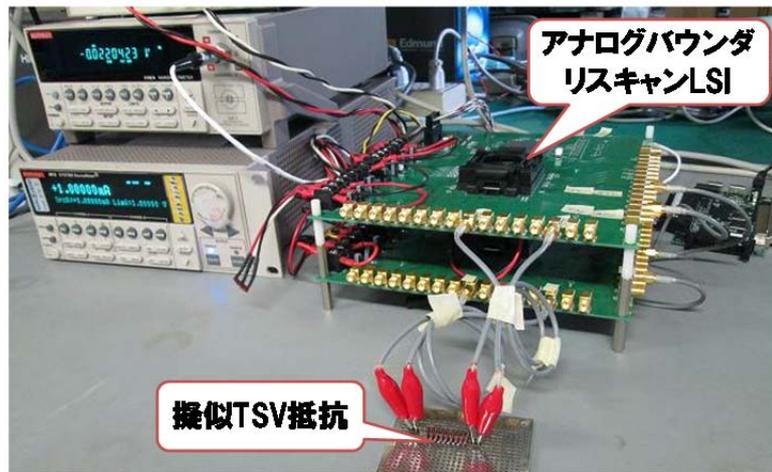


図 6-13 実験装置

表 1 実験結果

	真値	計測値	絶対誤差	相対誤差
1	1000mΩ	990mΩ	10mΩ	1%
2	219mΩ	215mΩ	4mΩ	2%
3	101mΩ	98mΩ	3mΩ	3%

## ② 大規模回路を対象とした SPICE シミュレーションによる評価

前述したように数千から数万の TSV を計測する場合、A-SW のリークの影響が大きくなり計測誤差が生じる。その誤差を SPICE シミュレータによって評価した。シミュレーション結果を表 2 に示す。なおここで示す計測誤差は A-SW のリーク電流による理論誤差であり、実環境でのノイズの影響等を含まない。今回使用した A-SW のモデルの場合は、2000 TSV での計測誤差は 0.48% となった。ここで 3)③項で述べたように内部バスを分割し 10 TBIC を配置すると、計測誤差が約 10 分の 1 (0.05%) に低減できることが検証された。

表 2 大規模回路でのシミュレーション結果

TSV 数	10	200	2k	2k(10TBIC 配置)
計測誤差	0.00%	0.05%	0.48%	0.05%

## 5) TSV 抵抗精密計測法のまとめと今後の課題

6 節では、従来のアナログバウンダリスキャンによるアナログ計測法を拡張することで、三次元積層状態での IC チップ間の総合的な相互接続抵抗を高精度に計測できる方法を提案した。さらに小規模回路で検証実験を行い 100mΩ 程度の微少な TSV 抵抗を実用的な精度内 (誤差±3%) で計測できることを確認した。また大規模回路へ適用する際の課題と対策を SPICE シミュレーションで確認した。

今後この回路を実装した評価用 LSI を開発することで、TSV やマイクロバンプの形成、IC チップ積層などの 3D-LSI 製造技術開発と歩留り改善に貢献できる。また 3D-LSI 量産時に、製品 LSI に本回路を部分的に実装することで製造品質監視やフィールド劣化監視にも利用できる。



## 第7章 欠陥検出向けテストのためのテストパターン選択法

本章ではこれまでの第2～6章までのボードテストの流れと少し違う観点から、LSIの製造過程で混入する配線の物理的欠陥に起因する多様な故障を検出するためのテストパターン生成法について述べる。

微細化加工技術の進展に伴って、配線の物理的欠陥によって生じる多様な故障が問題となっている。多様な故障モデルを検出することを目的とした欠陥検出向けテストのために、これまでN回検出テスト集合を利用することが提案されている。しかしながら、設定された検出回数の増加に伴うテストパターン数の増加が問題である。本章では、まず、故障励起関数および活性化経路評価関数に基づいて遷移故障テストパターンを評価する指針（欠陥検出確率）を提案する。次に、欠陥検出確率に基づいてN回検出テスト集合からテストパターンを選択する手法を提案する。評価実験結果から、提案法により得られたテスト集合は、テストパターン数の同じ遷移故障の2回検出テスト集合に比べて、より多様な故障モデルを検出できることを示す。[5]

### 1. 欠陥検出向けテスト

微細化加工技術の進展に伴ってLSIの高品質化のためには、縮退故障および遷移故障に対するテストに加えて欠陥検出向けテストが必要である。欠陥検出向けテストにおいては、「できるだけ多くの箇所に対して、できるだけ多様な故障モデルを検出可能なテストパターン」が必要である[Fran95], [Lee02], [Brnw03], [Brnw03], [Tang05], [Nels06], [Lin06], [Goel09], [Lin12].

欠陥検出向けテストにおいては、N回検出テスト集合が提案されている[Fran95]。N回検出テスト集合は、個々の単一縮退故障または単一遷移故障に対して異なるN個のテストパターンが生成されている。具体的には、単一縮退故障に対するN回検出テスト集合を用いて、配線の物理的欠陥の代用故障として回路内の配線のブリッジ故障に

対する検出率を評価している。しかしながら、N回検出テスト集合では、検出回数Nの値が増加すればそれに伴ってテストパターン数は増加する傾向にある。テストパターン数の増加は、テスト時間を増加させる。

配線における物理的欠陥の影響は、論理値反転を生じる**静的な故障**と微小な遅延変動を生じる**動的な故障**に大別できる。物理的欠陥による静的な故障を検出するテストパターンの生成法は、文献[Brnw03], [Brnw03], [Tang05], [Nels06], [Lin12]において提案されている。文献[Brnw03], [Nels06], [Lin12]では、検査対象の信号線に対する隣接信号線ができるだけ多くの状態をとることを指針としてN回検出テスト集合を求めている。文献[Brnw03], [Tang05]では、特定の信号線に対して論理値1(0)の出現確率を向上させるために信号確率改善キューブ(signal probability enhancing cubes)を提案している。また、筆者らも多様な故障モデルの故障励起関数[Taka07]を考慮したテストパターンの生成法を提案している[Taka08]。文献¥cite[Taka08]では、各々の故障モデルに対する故障励起条件を考慮したテストパターンの評価を行うために故障励起関数、およびその故障励起関数に従ってテストパターンに対して欠陥検出確率を計算する手法を提案している。

一方、物理的欠陥による動的な故障を検出するテストパターンの生成法としては、timing-aware ATPG が提案されている[Lin06], [Goel09]。この手法では、検査対象のゲートを含む経路に対して、できる限り長い経路を活性化できるテストパターンを生成する。しかしながら、この手法では、テストパターン数の増加およびテストパターン生成時間の増加が問題となっている。また、テストパターンにおける出力偏差(output deviation) [Yilm08V], [Yilm08I] , ゲートのファンアウト数[Goel10], またはテストパターンによって活性化できる長い経路の数[Peng10]を指針としてテストパターンを選択する手法も提案されている。これらの手法では、与えられたテスト集合から評価値が高いテストパターンを選択することによってテストパターン数の増加を抑えながら、微小な遅延故障の検出率を向上できる。しかしながら、これらの手法では、微小な遅延故障を生じる欠陥の故障励起の条件に関しては考慮していないために、選択したテストパターンが実際の物理的欠陥によって生じる故障を励起できない場合がある。

微小な遅延故障を生じる欠陥としては、抵抗性ブリッジ故障および抵抗性オープン

故障が考えられる。これらの故障は、故障信号線とその隣接信号線間の信号変化の極性および信号変化の時刻差が故障励起に影響を与える。そこで、本章では、これまでに提案されたテストパターン選択法においては考慮されていなかった故障励起条件を考慮した欠陥検出確率を新たに導入する[Higa11]。また、配線の物理的欠陥の代用故障である抵抗性ブリッジ故障および抵抗性オープン故障などの動的な故障を検出可能なテストパターンの選択法を提案する。

本論文においては、次のことを提案する。

- 1) 抵抗性ブリッジ故障および抵抗性オープン故障に対する**故障励起関数**を新たに提案し、さらに故障励起関数に基づく指標（**故障励起率**）を提案する。
- 2) テストパターンによって活性化された故障信号線を含む経路長を評価する**活性化経路評価関数**に基づく指標（**平均活性化経路長**）を提案する。
- 3) 遷移故障の故障検出率、抵抗性ブリッジ故障と抵抗性オープン故障に対する故障励起率、および平均活性化経路長によって構成される指標（**欠陥検出確率**）を提案する。
- 4) N回検出テスト集合から、欠陥検出確率に基づいてテストパターンを選択する手法を提案する。

提案法では、ゲート出力の隣接信号線の情報のみを利用するだけであり、physical-aware ATPG ツールや timing-aware ATPG ツールを利用しないので、テスト生成のためのコストを抑えることが可能である。

本章の構成を以下に示す。2 では、準備として、まず、抵抗性ブリッジ故障および抵抗性オープン故障の励起条件を述べる。次に、故障励起関数、活性化経路評価関数、および欠陥検出確率をそれぞれ述べる。3 では、欠陥検出確率および活性化経路評価関数に基づくテストパターン選択法に関して述べる。4 では、提案法の例を示す。5 では、提案法を実現化し、ベンチマーク回路に適用した評価実験結果を示す。6 では、本章のまとめと今後の課題を述べる。

## 2. 準備

本論文では，配線の物理的欠陥の代用故障として，抵抗性ブリッジ故障モデルおよび抵抗性オープン故障モデルを用いる．準備として，まず，2つの故障モデルについて述べる．次に，故障励起関数，欠陥検出確率，および活性化経路評価関数についてそれぞれ述べる．

### 1) 抵抗性ブリッジ故障[Iraj03]

ここでは，抵抗性ブリッジ故障について述べる．抵抗性ブリッジ故障とは，2本の信号線が抵抗をもって短絡することにより生じる遅延故障である．図7-1は抵抗性ブリッジ故障の例を示している．図7-1では，信号線aと信号線bの2本が抵抗をもって短絡しているとする．図7-1に示すように，信号線bの立ち上がりの変化時刻が，信号線aの立ち下がりの変化時刻よりも早い場合，信号線aの立ち下がり時刻が遅れる．このように，2本の信号線が抵抗をもって短絡することにより生じる微小な遅延故障を抵抗性ブリッジ故障という．

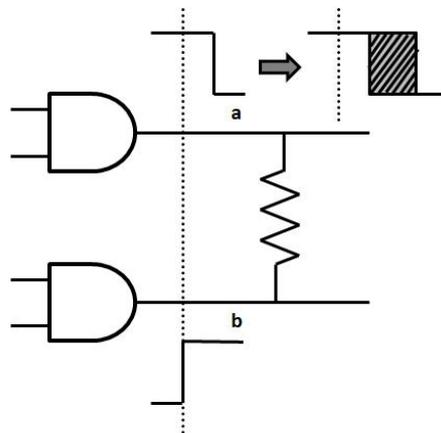


図 7-1 抵抗性ブリッジ故障モデル

### 2) 抵抗性オープン故障[Taka10]

ここでは，抵抗性オープン故障について述べる．故障信号線の抵抗性オープン故障の影響によって，信号変化に付加遅延が生じる．さらに，故障信号線に生じた付加遅延は，故障信号線の隣接信号線における信号変化の影響を受ける．

故障信号線  $V$  の変化時刻  $t$  の  $\pm \Delta$  のタイミング窓内（ほぼ同時）に、隣接信号線において逆相の信号値の変化が起こっていれば故障信号線  $V$  の付加遅延は増大する．図 7-2 では、隣接信号線  $A_1, A_2, A_3$  の 3 本においてタイミング窓内で逆相の信号変化が起こっているため、この場合は、抵抗性オープン故障によって生じる故障信号線の付加遅延量が増加する．

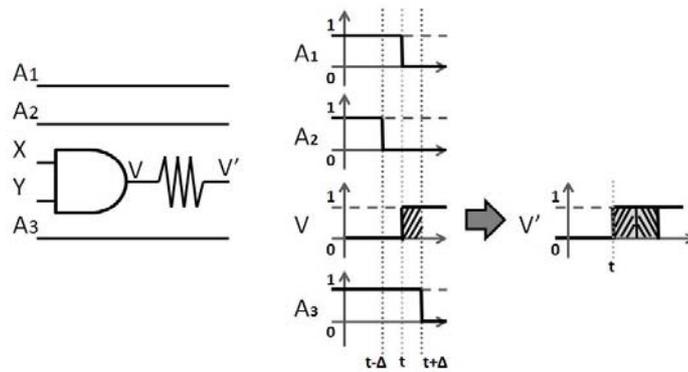


図 7-2 抵抗性オープン故障モデル

### 3) 欠陥検出向けテスト[Higa11]

本論文では、欠陥検出向けテストおよびそのテストパターンを次のように定義する．

[定義 1] 本章では、被検査回路に対して、より多くの信号線において、より多くの故障モデルを検出できるテストパターンによって行うテストを欠陥検出向けテストと呼ぶこととする．

[定義 2] 本章では、遅延故障を検出するために 2 パターンテストを考える．簡単のため、以後、2 パターンテストをテストパターンと呼ぶこととする．

### 4) 故障励起関数

本章では、各故障モデルに対して、故障仮定箇所において故障が励起するための条件を満足したか否かを判定するために、故障励起関数を定義する．

[定義 3] テストパターン  $tp_i$  において、抵抗性ブリッジ故障  $frbr_j$  に対する故障励起関数  $Ex\_br(tp_i, frbr_j)$  を次式で定義する．ここで抵抗性ブリッジ故障  $frbr_j$  は、 $frbr_j = \langle A_j, B_j \rangle$

とする。なお、 $A_j$ および $B_j$ は抵抗性ブリッジ故障  $fr_{br_j}$ における故障信号線の組である。

- 抵抗性ブリッジ故障励起関数  $Ex_{br}(tp_i, fr_{br_j}) =$ 

$$\begin{cases} 1 \text{ (少なくとも } A_j \text{ と } B_j \text{ のどちらかが信号変化値をもち、} \\ \text{かつ2時刻目に逆相の値が設定される)} \\ 0 \text{ (その他)} \end{cases}$$

[定義4]抵抗性オープン故障  $frop_j$  に対する故障励起関数

$Ex_{op}(tp_i, frop_j)$  を次式で定義する。ここで、抵抗性オープン故障  $frop_j$  は、 $frop_j = \langle v_j; a_1, \dots, a_1, \dots, a_m \rangle$  とする。 $v_j$  は故障信号線を表し、 $a_1, \dots, a_1, \dots, a_m$  は  $v_j$  に対する隣接信号線を表している。

- 抵抗性オープン故障励起関数  $Ex_{op}(tp_i, frop_j) =$ 

$$\begin{cases} 1 (v_j \text{ がもつ重みの合計が } 0 \text{ 以上である。)} \\ 0 \text{ (その他)} \end{cases}$$

ここで、重みは隣接信号線からの影響度を表す。 $v_j$  の値と逆相の信号変化をもつ隣接信号線があれば、 $v_j$  の重みを+1とする。一方、 $v_j$  の値と同相の信号変化をもつ隣接信号線があれば-1とする。

最後に、遷移故障  $ftr_j$  に対しては故障検出関数  $Dt_{tr}(tp_i, ftr_j)$  を定義する。

[定義5]故障検出関数  $Dt_{tr}(tp_i, ftr_j)$  を次式で定義する。

- 遷移故障検出関数

$$Dt_{tr}(tp_i, ftr_j) = \begin{cases} 1 \text{ (} tp_i \text{ が } ftr_j \text{ を検出する)} \\ 0 \text{ (} tp_i \text{ が } ftr_j \text{ を検出しない)} \end{cases}$$

##### 5) 故障励起率および故障検出率

ここでは、故障励起関数を利用した故障励起率および故障検出率を定義する。

故障励起率は、テストパターン  $tp_i$  によって励起する抵抗性ブリッジ故障数（抵抗性オープン故障数）の総抵抗性ブリッジ故障数（総抵抗性オープン故障数）に対する割合である。故障検出率は、テストパターン  $tp_i$  によって検出できる遷移故障数の総遷移故障数に対する割合である。

[定義6] テストパターン  $tp_i$  に対する抵抗性ブリッジ故障励起率  $EX\_prob\_rbr(tp_i)$ , 抵抗性オープン故障励起率  $EX\_prob\_rop(tp_i)$ , および遷移故障検出率  $Fc\_tr(tp_i)$  をそれぞれ次の式で定義する. 式中の  $k$  は各故障リストによって与えられる故障総数である.

・故障励起率

$$EX\_prob\_rbr(tp_i) = \left( \sum_{j=1}^k Exbr(tp_i, frbr_j) \right) \div k \quad (1)$$

$$EX\_prob\_rop(tp_i) = \left( \sum_{j=1}^k Exop(tp_i, frop_j) \right) \div k \quad (2)$$

$$Fc\_tr(tp_i) = \left( \sum_{j=1}^k DT\_tr(tp_i, ftr_j) \right) \div k \quad (3)$$

## 6) 活性化経路評価関数および活性化平均経路長

ここでは, 活性化経路評価関数および活性化平均経路長を定義する.

外部出力またはフリップフロップにおいて遅延故障の影響が観測されるための必要条件は, 信号変化が外部出力またはフリップフロップへ伝播することである. さらに, テストパターンができるだけ多くの長い経路を活性できることが, そのテストパターンによって微小遅延故障が検出できる可能性を増す. このような考え方に基づいて, 活性化経路を評価する指標を提案する. 以後, 外部入力および擬似入力となるフリップフロップを併せて外部入力と呼び, 外部出力および擬似出力となるフリップフロップを外部出力と呼ぶことにする. まず, 外部入力からそれぞれのゲート出力までの距離を定義する.

[定義7] 外部入力からそれぞれのゲート出力までの距離を次式で定義する.

外部入力からの距離

$g$ : ゲート出力

$inp_i(g)$ :  $g$  の  $i$  番目の入力

$m$ :  $g$  を出力とするゲートの入力数

$po$ : 外部出力

$Dist(g) =$

$$\begin{cases} 0 & \text{もし, } g \text{ が外部入力ならば} \\ 1 + \max_{i=1}^m \{Dist(\text{inp}_i(g))\} & \text{それ以外} \end{cases}$$

$Dist\_PO(g, po) =$

$$\begin{cases} Dist(po) & \text{もし, } po \text{ が } g \text{ から到達可能であれば} \\ & \text{それ以外} \end{cases}$$

$Dist\_PO\_tr(g, po) =$

$$\begin{cases} Dist\_PO(g, po) & \text{もし, } po \text{ が信号変化をもっていれば} \\ 0 & \text{それ以外} \end{cases}$$

次に、活性化経路評価関数を次式で定義する。

[定義8]  $CW(g)$ は、ゲート出力  $g$  から到達可能な外部出力の距離の総和とする。 $RW(g)$ は、ゲート出力  $g$  から到達可能な外部出力の中で信号変化が伝播した外部出力の距離の総和とする。活性化経路評価関数を  $E(g)$ とする。

活性化経路評価関数

$g$ : ゲート出力

$$CW(g) = \sum_{\forall po} Dist\_PO(g, po) \quad (4)$$

$$RW(g) = \sum_{\forall po} Dist\_PO\_tr(g, po) \quad (5)$$

$$E(g) = \frac{RW(g)}{CW(g)} \quad (6)$$

平均活性化経路長を次式で定義する.

[定義 9]

平均活性化経路長

f: 目標故障

g: fをもつゲート出力

t<sub>i</sub>: テストパターン

N<sub>det</sub>(t<sub>p<sub>i</sub></sub>): t<sub>i</sub>によって検出される故障数

Det\_E (f, t<sub>p<sub>i</sub></sub>) =

$$\begin{cases} E(g) & \text{もし } f \text{ が } t_{p_i} \text{ で検出可能であれば} \\ 0 & \text{それ以外} \end{cases}$$

$$Av\_E(t_{p_i}) = \frac{\sum_{\forall g} E(g)}{N\_det(t_{p_i})} \quad (7)$$

### 7) テストパターンにおける欠陥検出確率

ここでは、テストパターンにおける欠陥検出確率について述べる。テストパターン選択のために、テストパターン t<sub>p<sub>i</sub></sub>に対して、故障励起率および活性化平均経路長を計算し、さらにそれらに基づいて欠陥検出確率を求める。

[定義 10] 欠陥検出確率 DP(t<sub>p<sub>i</sub></sub>)を次式で定義する。

・欠陥検出確率 DP(t<sub>p<sub>i</sub></sub>)=

$$(EX\_rbr(t_{p_i}) + EX\_rop(t_{p_i}) + DT\_tr(t_{p_i}) + Av\_E(t_{p_i})) \div 4 \quad (8)$$

## 3. 欠陥検出テストのためのテストパターン選択法

### 1) テストパターン選択法の概要

ここでは、提案法の概要を述べる。

提案法では、与えられた遷移故障用の  $N$  回検出テストパターン集合から、欠陥検出確率の値がより高いテストパターンを優先的に選択する。また、選択するテストパターンの数に上限を設ける。選択するテストパターン数の上限値は、遷移故障用の  $M$  回検出テストパターン集合(但し、 $N \gg M$ )のテストパターン数と同じ数に設定する。

**入力情報：**

- ・  $T_0$ : 与えられたテストパターン集合
- ・  $N_{out}$ : 選択するテストパターン数の上限

**出力情報：**

- ・  $T_{out}$ : 選択されたテストパターン集合（欠陥検出向けテストのためのテストパターン集合）

**目的：**

- ・ 欠陥検出率のできるだけ高いテストパターンを選択し、目標の遷移故障検出率を達成する。

提案法では、まず、遷移故障シミュレーションを行う。遷移故障を検出回数に従って昇順に並べ替える。提案法では、検出が困難な遷移故障から順に、テストパターン選択処理の対象とする。それぞれの遷移故障に対して、その遷移故障を検出できるテストパターンの中から、未選択のテストパターンの中で欠陥検出確率(DP)が最も高いテストパターンを選択する。それぞれの遷移故障に対してテストパターンを選択した後、もし、選択されたテストパターン数がテストパターン数の上限 ( $N_{out}$ ) を越えていなければ、高い DP をもつテストパターンをさらに選択する。

**2) 欠陥検出向けテストのためのテストパターン選択法の手順**

ここでは、提案法の手順を述べる。

**欠陥検出向けテストのためのテストパターン選択法：**

ステップ 1: 選択されたテストパターンの集合を  $T_c$  とする。  $T_c$  を空とする。

ステップ 2: 与えられたテストパターン集合  $T_0$  を用いて遷移故障シミュレーションを行う。

ステップ 3:  $T_0$  によって検出できた遷移故障のリスト  $F_{tr}$  を作成する。

- ステップ 4: それぞれのテストパターンに対して、欠陥検出確率  $DP$  を求める。
- ステップ 5: 遷移故障の検出回数に従って  $F_{tr}$  に登録されている遷移故障を昇順に並べ替える。
- ステップ 6:  $F_{tr}$  が空になるまで、ステップ 6a から 6c までを繰り返す。
- ステップ 6a:  $F_{tr}$  における最上位の故障  $f$  を選択する。
- ステップ 6b: 故障  $f$  を検出できるテストパターンであり、 $T_0$  の中で最も高い  $DP$  をもつテストパターンを選択する。選択したテストパターンを  $t_c$  とする。
- ステップ 6c:  $t_c$  を  $T_{out}$  に加える。  $t_c$  を  $T_0$  から削除する。選択したテストパターン  $t_c$  によって検出できる遷移故障を  $F_{tr}$  から削除する。
- ステップ 7:  $T_{out}$  のテストパターン数が  $N_{out}$  を越えるまで、ステップ 7a を繰り返す。
- ステップ 7a:  $T_0$  から最も高い  $DP$  をもつテストパターン  $t_c$  を選択する。  $t_c$  を  $T_{out}$  に加える。  $t_c$  を  $T_0$  から削除する。

#### 4. 提案法の例

ここでは、提案法の例を示す。いま、 $tp1, tp2, tp3, \dots, tp6$  からなる  $T_0$  が与えられたとする。また、 $N_{out}$  を 4 に設定する。提案法のステップ 2, 3, および 4 を適用して得られた結果を表 1 に示す。この表では、テストパターンに対する検出故障および  $DP$  を示している。ステップ 5 によって得られた故障リスト  $F_{tr}$  を表 2 に示す。ステップ 6a では、 $F_{tr}$  の最上位の故障を選択する。この例では、 $f3$  を選択する。 $f3$  は  $tp1$  によってのみ検出できる。 $tp1$  を選択し、それを  $T_{out}$  に加える。また、 $tp1$  を  $T_0$  から削除する。さらに、 $tp1$  によって検出できる  $f2$  および  $f3$  を  $F_{tr}$  から削除する。

表 3 提案法の適用例

テストパターン	検出故障	$DP$
$tp1$	$f_2, f_3$	0.4
$tp2$	$f_2, f_4$	0.7
$tp3$	$f_4, f_5$	0.5
$tp4$	$f_2, f_4$	0.2
$tp5$	$f_1, f_2, f_5$	0.6
$tp6$	$f_1, f_4, f_5$	0.3

表 4 故障リスト  $F_{tr}$  の例

故障	検出回数
$f_3$	1
$f_1$	2
$f_5$	3
$f_2$	4
$f_4$	4

次に,  $f_1$  を  $F_{tr}$  から選択する. ステップ 6b において,  $f_1$  を検出できるテストパターンの中から最も高い DP をもつ  $tp_5$  を選択する.  $tp_5$  を  $T_{out}$  に追加し,  $tp_5$  を  $T_0$  を削除する. さらに,  $tp_5$  によって検出できる  $f_1$  および  $f_5$  を  $F_{tr}$  から削除する.

ステップ 6a を繰り返し実行する. 次に,  $f_4$  を選択する. ステップ 6b において,  $f_4$  を検出できるテストパターンの中から最も高い DP をもつ  $tp_2$  を選択する.  $tp_2$  を  $T_{out}$  に追加し,  $tp_2$  を  $T_0$  を削除する. この段階で,  $F_{tr}$  が空になるので, ステップ 7 を実行する.  $T_0$  に残っている未選択のテストパターンの中から, 最も高い DP をもつ  $tp_3$  を選択する.  $tp_3$  を  $T_{out}$  に追加する.

$T_{out}$  のテストパターン数が上限  $N_{out}$  に達したので, 処理を終了する. テストパターン選択処理の結果として,  $tp_1$ ,  $tp_2$ ,  $tp_3$ , および  $tp_5$  が欠陥検出向けテストのためのテストパターン集合として求められた.

## 5. 評価実験結果

提案した欠陥検出テスト用のテストパターン選択法の性能を評価するために, 提案法を C 言語で実装し, 評価実験を行った. 準備として, 遷移故障用 ATPG ツールを利用して遷移故障用の 12 回検出テストパターン集合および 2 回検出テストパターン集合をそれぞれ求めた. 評価実験では, 提案法を遷移故障用の 12 回検出テスト集合に適用して, 欠陥検出テスト集合を求めた. ここでは, 欠陥検出テスト集合のテスト数の上限値は, 遷移故障用の 2 回検出テストパターン集合のテスト数と同じ数に設定した. 対象回路は ISCAS'89 ベンチマーク回路とし, 2 回検出テストパターン集合との故障検出数の比較を行った.

表 3 は抵抗性ブリッジ故障に対する実験結果を示している. また, 表 4 は抵抗性オ

オープン故障に対する実験結果を示している。表の改善の欄には、次式の結果を示している。

$$\text{改善} = \text{欠陥検出テスト集合の故障検出数} - 2 \times \text{回検出テスト集合の故障検出数}$$

表 5 抵抗性ブリッジ故障検出実験結果

回路	故障数	12 回検出テスト		2 回検出テスト		欠陥検出テスト		
		テスト数	故障検出数	テスト数	故障検出数	テスト数	故障検出数	改善
cs9234	4407	1933	4396	240	4354	240	4387	33
cs13207	12431	2726	12385	556	12274	556	12356	82
cs15850	15047	1226	14948	298	14622	298	14872	250
cs35932	43875	227	43785	58	43199	58	43300	101
cs38417	44905	1445	44848	171	44536	171	44675	139
cs38584								

表 6 抵抗性オープン故障検出実験結果

回路	故障数	12 回検出テスト		2 回検出テスト		欠陥検出テスト		
		テスト数	故障検出数	テスト数	故障検出数	テスト数	故障検出数	改善
cs9234	887	1933	855	240	793	240	830	37
cs13207	2491	2726	2418	556	2271	556	2361	90
cs15850	3019	1226	2885	298	2681	298	2825	144
cs35932	8775	227	8675	58	8382	58	8501	119
cs38417	8981	1445	8953	171	8704	171	8833	129
cs38584	9420	2328	9138	277	8352	277	8563	211

実験結果から、提案法によって、遷移故障用の 2 回検出テストパターン集合と同じテスト数で、ほぼ全ての回路に対してより多くの欠陥を検出するテスト集合を得ることができた。

## 6. 欠陥検出向けテストのまとめと今後の課題

第6章では、多様な故障モデルに対応可能な欠陥検出テストのために、欠陥検出確率に基づくテストパターンの選択法を提案した。欠陥検出確率は、故障励起率および活性化平均経路長に基づく評価値である。

評価実験結果から、提案法によって、2 回検出テスト集合と同じテスト数で、より多くの故障モデルを検出するテストパターン集合を求められることを示した。今後の課題は、さらなる欠陥検出率の向上化手法の提案である。



## 第8章 結論

本論文では、富士通の歴代の大型計算機用 LSI 実装ボードをテストするために開発されたボードテスト技術を事例にして、LSI の進化に伴いボードテスト技術がいかに発展してきたかを検証し、今後のボードテストの方向を展望した。次に現在ボードテストで広く使われるようになったバウンダリスキャンテストにおいて、テスト中に起こる IC の内部擾乱のメカニズムを解明して、その対策を述べた。さらに、近い将来利用拡大が期待されている三次元 LSI のテストに、ボードテスト技術を応用することを提案し、TSV の微小抵抗計測の検証実験とシミュレーションの結果を報告した。最後にテストパターンの高品質化のために欠陥検出確率に基づくテストパターン選択法を提案し、ベンチマーク回路に対する計算機実験での有効性を述べた。

### LSI の大規模化とボードテスト技術の発展

第2章でボードテストの基本的な考え方を整理したうえで、第3章では LSI の大規模化に伴うボードテスト技術の変遷について考察した。

LSI のゲート数は、ECL 第1世代の 100 ゲートから 400 ゲート、3000 ゲート、15,000 ゲート、そして CMOS 世代に入り 250 万ゲート、最新のプロセッサでは 7.5 億ゲートと大規模化されて、それに伴いボードテスト技術は、ファンクションテスト、スキキャンテスト、ピンスキャンテスト、そしてバウンダリスキャンテストへと発展してきた。さらに今後のボードテストの方向について述べた。

### ピンスキャンテスト

第4章では、ECL 第4世代計算機用ボードをテストするために開発した2つのテスト技術を述べた。2百万ゲートのボードではもはやファンクションテストは困難であり、ネットテストとよぶピンスキャンによる相互接続テスト技術を開発した。またボード上のチップ間の遅延故障を精度 $\pm 100$  ps、最小クロック間隔 5ns でテストできるボードディレイテスト技術についても述べた。

### バウンダリスキャンテスト

現在広く使われ始めたバウンダリスキャンテストだが，テスト開発中にテスト技術者を悩ませる不可解な障害がおこることがある．第5章ではこれまで論じられることがなかったバウンダリスキャンテスト中に LSI 内部でおこる内部擾乱の発生メカニズムを解明して，その対策を提案した．

### 三次元 LSI テストへのボードテスト技術の適用

第6章では，三次元 LSI へのボードテスト技術の応用を述べた．物理構造は違うが論理構造がボードと同じ三次元 LSI のテストには，ボードテスト技術の応用が可能であり．アナログバウンダリスキャンテスト技術を拡張した TSV 精密抵抗計測法を提案した．提案手法の実現可能性を検証するために行なった小規模回路での検証実験および大規模回路でのアナログシミュレーションを行い良好な結果を得た．

### テスト生成

第7章では，LSI の製造過程で混入する配線の物理的欠陥に起因する多様な故障を効率よく検出するための，欠陥検出確率に基づいて N 回検出テスト集合からテストパターンを選択する手法を提案した．ISCAS89 ベンチマーク回路に提案法を適用した評価実験においては，良好な結果を得た．

## 感想と今後の課題

本論文は、私の40年にわたるボードテストに関わってきた経験をもとに、ボードテスト技術について過去から現在までの技術の変遷を俯瞰し、将来の方向性を予測するとともに、三次元LSIテストへの応用展開を提案した。

今回の技術のまとめにより、バウンダリスキャンテスト技術は今後もボードテストの重要技術として使われ続けていくことが再確認できた。富士通ではバウンダリスキャン技術を長年使ってその恩恵を享受してきたことから、この技術を日本でもっと普及させたいと思い、愛媛大学在学中に「バウンダリスキャンハンドブック」を監訳・出版し、技術の普及活動を行ってきた。今後もこの活動をなお一層強力に推進する所存であり、結果として日本のものづくり力強化につながることを期待している。

また三次元LSIテストへのボードテスト技術の応用展開については、今回アナログバウンダリスキャンを拡張したTSVの精密抵抗計測法を提案した。提案回路を早期に実デバイスに実装したうえで計測システムを完成させたい。それにより三次元LSI実装プロセス技術の早期確立と歩留まり向上につながり、三次元LSIの発展に貢献できれば幸いである。

## 謝辞

本研究を遂行するにあたり、終始熱心な御指導を賜りました愛媛大学大学院理工学研究科 高橋寛教授に心より感謝申し上げます。また本研究の過程で多くの貴重なご教示を頂きました愛媛大学大学院理工学研究科 村上研二教授、天野要教授、樋上喜信准教授に厚く御礼を申し上げます。また元愛媛大学 高松教授には、大学院博士課程への入学のきっかけを作って頂けたことと入学後は貴重な助言やご支援を頂き深く感謝致します。

社会人学生として入学・研究することにご理解とご配慮を賜りました元富士通株式会社ものづくり推進本部 岩渕敦本部長（現富士通アイソテック代表取締役社長）、富士通株式会社ものづくり推進本部 渡辺伸寿本部長に厚く御礼を申し上げます。また実験、シミュレーション、情報提供等の協力をしてくれた富士通株式会社ものづくり推進本部 馬場雅之氏に感謝致します。また論文執筆に協力していただいた元富士通株式会社 小原秀行氏、富士通株式会社 遠藤千裕氏、株式会社富士通コンピュータテクノロジーズ 高山直樹氏に御礼申し上げます。

またバウンダリスキャンテストに関する重要な情報提供や論文執筆への協力を惜しまなかった Agilent Technologies 社の Kenneth P. Parker 氏、Intel 社の James J Grealish 氏、David Dubberke 氏に厚く御礼申し上げます。

FTC (Fault Tolerant Computer) 研究会の皆様からは貴重な助言や温かい励ましを頂き誠に有難く思っております。

最後に、いつも支えてくれた妻と子供たちに深く感謝します。また応援してくれた母と二人の姉にも感謝しています。

## 研究業績一覧

凡例：在学中の業績

### 1. 学術論文（査読あり）

- (1). 亀山修一，馬場雅之，樋上喜信，高橋寛，“バウンダリスキャンテスト実行時のIC内部の擾乱”，電子情報通信学会論文誌D, Volume J96-D No.9, pp.2078-2081, (発行日:2013/09/01), (2013年9月)
- (2). 亀山修一，馬場雅之，樋上喜信，高橋寛，“アナログバウンダリスキャンによる三次元積層後のTSV抵抗精密計測法”，電子情報通信学会論文誌D, Volume J97-D No.4, pp.887-890, (発行日:2014/04/01) (2014年4月)

### 2. 国際会議論文（審査あり）

- (3). Shuichi Kameyama, Hideyuki Ohara, Chihiro Endo, Naoki Takayama, “Interconnect and Delay Testing with a 4800-pin Board Tester”, Proceedings of IEEE International Test Conference 1992, pp.338-344, 1992, (1992年9月)
- (4). Kenneth P. Parker, Shuichi Kameyama, David Dubberke, “Surviving State Disruptions Caused by Test: A Case Study”, Proceedings of IEEE International Test Conference, paper 5.2, pp.1-8, 2011, (2011年9月)
- (5). Yoshinobu Higami, Hiroshi Furutani, Takao Sakai, Shuichi Kameyama and Hiroshi Takahashi, “Test Pattern Selection for Defect-Aware Test”, Proceedings of IEEE Asian Test Symposium, PP.102-107, 2011, (2011年11月)
- (6). Shuichi Kameyama, Masayuki Baba, Yoshinobu Higami, Hiroshi Takahashi, “Accurate Resistance Measuring Method for High Density Post-Bond TSVs in 3D-SIC with Electrical Probes”, Proceedings of International Conference on Electronics Packaging (ICEP2014), TA4-4, pp.117-121, 2014, (2014年4月)

### 3. 学会誌掲載論文

- (7). 亀山修一, "高密度実装ボードの試験 ー相互接続とディレイテストー", SHM 会誌(エレクトロニクス実装技術協会, 後にエレクトロニクス実装学会と改称), 1995Vol.11No.2, (1995年3月)
- (8). 亀山修一, 安達和信, "最新スーパーコンピュータのMCMにおける信頼性保証技術", 日本信頼性学会誌, Vol.22/No.8/通巻108号, pp.656-663, (2000年11月)

### 4. 研究会発表論文

- (9). 浅田和徳, 亀山修一, 小関利雄, 藤井貞夫, "ロボットによるプリント板ユニットの自動故障診断", 日本産業ロボット工業会, (1986年4月)
- (10). 亀山修一, 高山直樹, "超大型計算機におけるボードの試験技術", 第25回FTC研究会, (1991年7月)
- (11). 亀山修一, 中野一治, 川村八郎, 角野訓志, "電算機用大型MCMのための試験システム", 第35回FTC研究会, (1996年7月)
- (12). 亀山修一, 柳瀬剛, 上坂光司, 中野一治, 内倉洋二, 高山直樹, "大規模MCMの低コスト試験手法", 第43回FTC研究会, (2000年7月)
- (13). 亀山修一, 大野文男, 高橋寛, 高松雄三, "バウンダリスキャン設計におけるメモリテスト技術", 第45回FTC研究会 (2001年7月)
- (14). 柳瀬剛, 亀山修一, 上坂光司, 嶋田浩巳, 小柳匡, "動的再構成方式メモリテスト" 第47回FTC研究会, (2002年7月)
- (15). 嶋田浩巳, 亀山修一, 井口幸洋, 栗原正臣, "Walsh スペクトラムによるメモリ障害の分析", 第49回FTC研究会 (2003年7月)
- (16). 亀山修一, "バウンダリスキャンテスト技術の最新動向", JEITA STRJ 研究会 (2004年1月)
- (17). 下田進一郎, 柳瀬剛, 亀山修一, 嶋田浩巳, 守屋悟, 井口幸洋, "動的再構成方式メモリテスト用のテスト記述とVHDL変換法", 第52回FTC研究会 (2005年1月)

- (18). 亀山修一, “JTAG 技術とその状況”, 電子情報技術産業協会 JEITA, 半導体技術ロードマップ専門委員会 STRJ 研究会, (2005 年 4 月)
- (19). 守屋悟, 柳瀬剛, 亀山修一, 嶋田浩巳, 井口幸洋, “動的メモリテスト MM5 用高位テスト記述言語コンパイラについて”, 第 54 回 FTC 研究会 (2006 年 1 月)
- (20). 守屋悟, 柳瀬剛, 亀山修一, 嶋田浩巳, 井口幸洋, “動的再構成メモリテスト用の高位テスト記述と VHDL への変換”, 電子情報通信学会 DC 研究会 (2006 年 2 月)
- (21). 趙楠, 高橋洋介, 光野正志, 小林春夫, 亀山修一, 馬場雅之, “アナログバウンダリスキャンの評価計測と応用の検討”, 第 57 回 FTC 研究会 (2007 年 7 月)
- (22). Shuichi Kameyama, Kazuhisa Tsunoi, “Fujitsu’s Experience with Bead Probe and Evaluation by a Flying Probe Tester”, IEEE Board Test Workshop 2008 (2008 年 9 月)
- (23). 亀山修一, “グローバルなボードテストの概況”, エレクトロニクス実装学会, 検査の立場から見た DFT 研究会 (2009 年 11 月)
- (24). 亀山修一, “「バウンダリスキャンテスト技術の最新動向」 --ロボットミナー問題とメモリー素子に対応する新規格--”, エレクトロニクス実装学会ボードテスト技術研究会, (2011 年 11 月)
- (25). 亀山修一, 馬場雅之, 樋上喜信, 高橋寛, “「バウンダリスキャンテストにおける新たな課題」 -相互接続テスト中に IC 内部で発生している問題の考察-”, 電子情報通信学会ディペンダブルコンピューティング研究会, 信学技法 DC2011-81(2012-2), PP.31-35, (2012 年 2 月)
- (26). 亀山修一, “「バウンダリスキャンテスト技術」 --最新動向と日本での普及にむけて--”, NOP 法人サーキットネットワーク, 定例研究会 (2012-6), (2012 年 6 月)
- (27). 亀山修一, “バウンダリスキャンテスト技術の動向”, 日本実装技術振興協会 高密度実装技術部会, 定例研究会, (2012 年 7 月)

- (28). Takahide Yoshikawa, Tatsumi Nakada, Koichiro Takayama, Daisuke Maruyama, Masahiro Yanagida, Shuichi Kameyama, “K Computer: A Highly Reliable 10-Petaflop Supercomputer”, IEEE International Test Conference 2012, AIP3-2, (2012年11月)
- (29). Shuichi Kameyama, “Boundary-Scan, growing more or not?”, IEEE Asian Test Symposium 2012, Section7-C Panel, (2012年11月)
- (30). 亀山修一, “「IEEE15811 規格の紹介」 --メモリー素子相互接続試験容易化にむけて--”, 電子情報技術産業協会 (JEITA) 半導体技術ロードマップ専門委員会 (STRJ), 最新テスト技術講演会, (2012年11月)
- (31). 亀山修一, “「適用拡大するバウンダリスキャンテスト」 --3次元 LSI からスーパーコンピュータまで--”, エレクトロニクス実装学会ボードテスト技術研究会基調講演, (2012年11月)
- (32). 亀山修一, “3D実装にも重要性が増すバウンダリスキャンテスト技術をやさしく解説”, インターネプコン専門技術セミナー, (2013年1月)
- (33). 亀山修一, 高橋 寛, “三次元実装で必須となるバウンダリスキャンテスト技術”, エレクトロニクス実装学会春季大会論文集, PP.573-574, (2013年3月)

## 5. 著書

- (1). 亀山修一, “テスト容易化設計手法・テストインターフェイス”, 電子情報通信学会, 知識ベース/知識の森 6群7編 3-8-3節および 10群1編 3-7-7節(3) (2010年8月)
- (2). 亀山修一 (監訳), Kenneth P. Parker(著), “バウンダリスキャンハンドブック第3版”, ISBN978-4-88359-303-3 C3055, 青山社 (2012年6月)
- (3). 亀山修一, “重要性を増すバウンダリスキャンテスト”, 2013年度版日本実装技術ロードマップ, 7.5節 PP.399-402, 電子情報技術産業協会 JEITA, (2013年6月)

## 6. 委員会等

- (1) IEEE International Test Conference, Asian Sub-committee メンバー, (2005~)
- (2) IEEE std 1581 ( Standard for Static Component Interconnection Test Protocol and Architecture ), 規格制定 WG メンバー (2007~)
- (3) IEEE std P1838 (3D-Test), 規格制定 WG メンバー (2012~)
- (4) IEEE International Workshop on Testing Three-Dimensional Stacked Integrated Circuits (3D-test WS), Program Committee メンバー (2013~)

## 7. 特許

### <国内登録特許>

- 1). 特許 1,512,647 データ変換方法及びその回路
- 2). 特許 1,762,477 試験装置
- 3). 新案 1,993,336 プローブホルダ
- 4). 特許 1,807,355 アラーム監視機能を持つプリント板テスタ
- 5). 特許 1,816,498 プローブ体のグラウンド接続機構
- 6). 特許 1,817,847 電源回路の制御および監視方法
- 7). 新案 2,012,295 プローブピン
- 8). 特許 1,832,132 パターンデータ転送方式
- 9). 特許 1,832,189 試験装置
- 10). 特許 1,842,031 無張力ケーブルの繰り出し機構
- 11). 特許 1,849,643 論理回路試験装置
- 12). 特許 1,860,334 プリント板測定装置のプロービング方法
- 13). 特許 1,941,515 データ変換回路
- 14). 特許 1,984,772 データ変換回路
- 15). 特許 2,013,262 圧縮データによるスキャンテスト方法
- 16). 特許 2,013,264 スキャンテスト制御回路
- 17). 特許 2,039,644 プリント板試験装置
- 18). 特許 2,093,949 配線板の故障診断方法

- 19). 特許 2,525,078 論理回路試験装置
- 20). 特許 2,551,674 電力供給装置
- 21). 特許 2,567,862 抵抗値の測定方法
- 22). 特許 2,591,825 圧縮データを用いた論理回路試験方法及びその装置
- 23). 特許 2,641,739 試験装置
- 24). 特許 2,654,272 論理回路試験装置
- 25). 特許 2,706,512 プロービング機構
- 26). 特許 2,763,793 プリント配線板検査装置
- 27). 特許 2,843,071 論理回路の試験装置及びその試験方法
- 28). 特許 2,851,046 論理回路試験装置
- 29). 特許 3,280,126 プリント回路板試験装置
- 30). 特許 3,401,713 集積回路試験装置
- 31). 特許 3,460,856 試験回路基板及び集積回路試験装置
- 32). 特許 3,552,774 メモリ試験装置及びメモリ試験装置用アダプタ及びメモリ試験方法
- 33). 特許 3,589,835 電子回路アセンブリ試験方法及び試験装置及び該試験用アダプタ
- 34). 特許 3,609,687 断線位置検出機能を備えた電子機器及び断線位置検出方法
- 35). 特許 3,659,007 試験治具の検査方法
- 36). 特許 3,747,649 プリント回路板試験装置
- 37). 特許 3,894,670 検査治具の接続方法
- 38). 特許 3,934,434 回路の試験装置
- 39). 特許 3,978,269 プリント回路板の試験方法
- 40). 特許 4,083,195 プリント回路板の試験方法及びプリント回路板の製造方法
- 41). 特許 4,221,140 スキャン障害解析方法および試験装置
- 42). 特許 4,522,411 コネクタ

〈米国登録パテント〉

- 1). US 7,096,396 B2 Test System for Circuit
- 2). US 7,134,909 B2 Connector Circuit Board
- 3). US 7,628,645 B2 Connector, Printed Circuit Board, Connecting Device Connecting them, and Method of Testing Electronic Part, using them

## 三次元 LSI テスト論文サーベイリスト

著者, 論文名, 出展, 概要		
1	著者	B. Sen Gupta, U. Ingelsson, and E. Larsson,
	論文名	"Scheduling Tests for 3D Stacked Chips under Power Constraints," 電力制限下での 3D スタックチップのためのテストスケジューリング
	出展	in Electronic Design, Test and Application (DELTA), 2011Sixth IEEE International Symposium on, 2011, pp. 72-77.
	概要	最大消費電力の制約下でのテストスケジューリングの最適化によるテスト時間の短縮を試みた報告である. BIST による試験が可能な前提で, かつ各コア, 各チップのテストを自由に組み合わせて同時実行できる場合の, 最大消費電力以下に抑えながらどのように各テストの同時実行とスケジュールをするかを論じている. パーシャルオーバラッピングとリスケジューリングの 2 つの手法で実験して, 17%試験時間短縮した例を紹介している.
2	著者	S. Roy and A. Dounavis,
	論文名	"Efficient Delay and Crosstalk Modeling of RLC Interconnects Using Delay Algebraic Equations," ディレイ代数方程式を使った効率の良い RLC 接続のディレイとクロストークモデル
	出展	Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, vol. 19, pp. 342-346, 2011.
	概要	IC 上の相互接続ラインにおける RLC でのディレイとクロストークモデルを代数方程式により伝搬応答を計算する手法を紹介している. HSPICE との平均誤差は 0.62%で, 計算時間は HSPICE の 39 秒

		に対して提案手法では 0.65 秒と圧倒的に短い。
3	著者	R. Weerasekera, M. Grange, D. Pamunuwa, and H. Tenhunen,
	論文名	"On signalling over Through-Silicon Via (TSV) interconnects in 3-D Integrated Circuits," 3D-IC における TSV 接続上の信号伝送
	出展	in Design, Automation & Test in Europe Conference & Exhibition (DATE), 2010, 2010, pp.1325-1328.
	概要	3D-IC の TSV におけるシグナルインテグリティについて Spice シミュレーションで解析した。TSV の寄生部品の影響によるディレイやクロストークを考察している。高密度の TSV においては電圧モード VM よりも電流モード CM の方が高速伝送やジッタに効果的であるとしている。そのほかにはデータレート、消費電力、ノイズについても考察している。
4	著者	H. Villacorta, V. Champac, C. Hawkins, and J. Segura,
	論文名	"Reliability analysis of small delay defects in vias located in signal paths," シグナル経路上のビアにおける微小遅延故障の信頼性評価
	出展	in Test Workshop (LATW), 2010 11th Latin American, 2010, pp. 1-6 .
	概要	ビアのボイドが IC の信頼性に影響することを計算で導き出している。ビアに発生するボイドを円柱モデルで表現し、ボイドの深刻さをボイド率として表現して、ボイド率とビアの抵抗値の関係はボイド率が 90%以上になると顕著となり、伝送波形品質が低下し、ディレイが急激に増加する。またボイドにより発熱が増え、結果信頼性(MTF)が低下することを予測している。また信頼性向上のためにビアを多重化することも提言している。

5	著者	J. Verbree, E. J. Marinissen, P. Roussel, and D. Velenis,
	論文名	"On the cost-effectiveness of matching repositories of pre-tested wafers for wafer-to-wafer 3D chip stacking,"
	出展	in Test Symposium (ETS), 2010 15th IEEE European, 2010, pp. 36-41.
	概要	wafer-to-wafer 型の 3D スタックにおいては、スタック後の歩留り向上は非常に重要な問題。ウェーハのダイのフェイルマップから数学的にマッチング手法により歩留りを予測し最大化する試みを紹介している。
6	著者	M. Stucchi, D. Perry, G. Katti, and W. Dehaene,
	論文名	"Test structures for characterization of through silicon vias," シリコン貫通ビアの特性評価のためのテスト構造
	出展	in Microelectronic Test Structures (CMTS), 2010 IEEE International Conference on, 2010, pp. 130-134.
	概要	TSV の特性を評価するために評価用デバイスを作成した。その特性評価結果を報告している。評価項目は DC 特性(抵抗値, 歩留り, 静電容量, 漏れ電流), AC 特性(リングオシレータによるディレイと消費電力)である。
7	著者	C. Po-Yuan, W. Cheng-Wen, and K. Ding-Ming,
	論文名	"On-chip testing of blind and open-sleeve TSVs for 3D IC before bonding," 積層前の 3D IC におけるブラインド TSV やオープンスリーブ TSV のオンチップテスト
	出展	in VLSI Test Symposium (VTS), 2010 28th, 2010, pp. 263-268.
	概要	TSV のテストは通常ダイを積層した後で行われるが、本論文では薄化前のダイの状態での TSV をテストする方法を論ずる。センス増幅技術によりブラインド TSV への充放電の時定数で良否判定する方

		法とオープンスリーブ TSV の電圧分圧で測定する 2 種類がある. これらの方法は元々は DRAM や ROM を試験する際に使われていた.
8	著者	B. Noia, S. K. Goel, K. Chakrabarty, E. J. Marinissen, and J. Verbree,
	論文名	"Test-architecture optimization for TSV-based 3D stacked ICs," TSV ベース 3D 積層 IC のための試験方式の最適化
	出展	in Test Symposium (ETS), 2010 15th IEEE European, 2010, pp. 24-29.
	概要	3D 積層 IC における各層での TAM の最適値を数学的手法により求めている. ボトムダイのピン数と TVS 数がテスト長(クロック数)に与え影響を ITC' 02SOCTestBenchmarks を使って検証している.
9	著者	E. J. Marinissen, J. Verbree, and M. Konijnenburg,
	論文名	"A structured and scalable test access architecture for TSV-based 3D stacked ICs,"
	出展	in VLSI Test Symposium (VTS), 2010 28th, 2010, pp. 269-274.
	概要	コア, ダイ, スタック, PCB など各階層毎にそれぞれ独立した試験を実施するモジュラーテストの思想に基づいた DFT や試験手法について 3 つの提案をしている. (1)ボトム以外のダイに設ける専用プローブパッド, (2)積層後に上位のダイを試験するために下位のダイに設けるテストエレベータ, (3)テストが必要なコアの WIR へのみアクセス可能な階層化ラッパ命令レジスタチェーン
10	著者	J. Li, L. Yuxi, D. Lian, X. Yuan, and X. Qiang,
	論文名	"Modeling TSV open defects in 3D-stacked DRAM," 3D 積層 DRAM における TSV オープン故障のモデル化
	出展	in Test Conference (ITC), 2010 IEEE International, 2010, pp. 1-9.
	概要	DRAM を含む 3D-IC において, ワード線やビット線に TSV のオープン故障が発生した場合の故障の振る舞いをモデル化した.

11	著者	A. Klumpp, P. Ramm, and R. Wieland,
	論文名	"3D-integration of silicon devices: A key technology for sophisticated products," シリコンデバイスの 3D 集積:高度な製品のためのキーテクノロジー
	出展	Design, Automation & Test in Europe Conference & Exhibition (DATE), 2010, pp. 1678-1683.
	概要	3D-IC を製造するためには次のキーテクノロジーが必要(1)TSV 製造プロセス,(2)薄ウェーハのハンドリング,(3)ウェーハの薄化とバックサイドプロセス, (4)三次元積層プロセス, これらの技術の現状と課題を述べている.
12	著者	K. Joohee, C. Jonghyun, and K. Joungho,
	論文名	"TSV modeling and noise coupling in 3D IC," 3D-IC における TSV のモデリングとノイズ結合
	出展	in Electronic System-Integration Technology Conference (ESTC), 20103rd, 2010, pp. 1-6.
	概要	TSV の電気モデルを提案し, それを使った TSV 間のノイズの解析を紹介, またノイズを抑制するためのガードリングの効果についても述べている. 最後に周波数領域だけでなく時間領域でのノイズ解析も行った.
13	著者	Y. Jhih-Wei, H. Shi-Yu, K. Ding-Ming, C. Yung-Fa, and W. Cheng-Wen,
	論文名	"Performance Characterization of TSV in 3D IC via Sensitivity Analysis," 「Sensitivity Analysis」による 3D IC における TSV の特性評価
	出展	in Test Symposium (ATS), 2010 19th IEEEAsian, 2010, pp. 389-394.
	概要	TSV の通過遅延を測定する方法を述べている. Sensitivity Analysis と呼ぶ TSV と周辺回路からなる発振回路を使って解析す

		る.
14	著者	L. Chih-Yen, H. Yu-Tsao, D. Li-Ming, and W. Cheng-Wen Wu
	論文名	"SOC Test Architecture and Method for 3-D ICs," SOC テストアーキテクチャと 3D IC のための手法
	出展	Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, vol. 29, pp. 1645-1649, 2010.
	概要	著者らが従来 SOC (2D-IC) テストのために提案した手法を 3D IC へ応用する手法を述べている. Test Access Control System for 3D(TACS-3D)と呼ぶテスト手法で, 同じ TSV 数で TAM 幅を広く取れるのでテスト時間短縮が可能である. 通信制御 IC に応用した実験例ではテスト時間が 54%改善できた.



## 参考文献

- [1] 亀山修一, 馬場雅之, 樋上喜信, 高橋寛, “バウンダリスキャンテスト実行時の IC 内部の擾乱”, 電子情報通信学会論文誌 D, Volume J96-D No.9, pp.2078-2081, (発行日:2013/09/01), (2013 年 9 月)
- [2] 亀山修一, 馬場雅之, 樋上喜信, 高橋寛, “アナログバウンダリスキャンによる三次元積層後の TSV 抵抗精密計測法”, 電子情報通信学会論文誌 D, Volume J97-D No.4, pp.887-890, (発行日:2014/04/01) (2014 年 4 月)
- [3] Shuichi Kameyama, Hideyuki Ohara, Chihiro Endo, Naoki Takayama, “Interconnect and Delay Testing with a 4800-pin Board Tester”, Proceedings of IEEE International Test Conference 1992, pp.338-344, 1992, (1992 年 9 月)
- [4] Kenneth P. Parker, Shuichi Kameyama, David Dubberke, “Surviving State Disruptions Caused by Test: A Case Study”, Proceedings of IEEE International Test Conference, paper 5.2, pp.1-8, 2011, (2011 年 9 月)
- [5] Yoshinobu Higami, Hiroshi Furutani, Takao Sakai, Shuichi Kameyama and Hiroshi Takahashi, “Test Pattern Selection for Defect-Aware Test”, Proceedings of IEEE Asian Test Symposium, PP.102-107, 2011, (2011 年 11 月)
- [6] Shuichi Kameyama, Masayuki Baba, Yoshinobu Higami, Hiroshi Takahashi, “Accu-rate Resistance Measuring Method for High Density Post-Bond TSVs in 3D-SIC with Electrical Probes”, Proceedings of International Conference on Electronics Pack-aging (ICEP2014), TA4-4, pp.117-121, 2014, (2014 年 4 月)
- [7] 亀山修一, “高密度実装ボードの試験 —相互接続とディレイテスト—”, SHM 会誌(エレクトロニクス実装技術協会, 後にエレクトロニクス実装学会と改称), 1995Vol.11 No.2, (1995 年 3 月)
- [8] 亀山修一, 安達和信, “最新スーパーコンピュータの MCM における信頼性保証技術”, 日本信頼性学会誌, Vol.22/No.8/通巻 108 号, pp.656-663, (2000 年 11 月)
- [Ando80] H. Ando, "Testing VLSI with random access scan," in Dig. COMPCON 1980, 80CH1491-OC, pp. 50-52. , Feb. 1980

- [Blan03] R.D. Blanton, K.N. Dwarakanath, and A.B. Shah, "Analyzing the effectiveness of multiple-detect test sets", Proc. Int. Test Conf., pp.876--885, 2003.
- [Brnw03] B. Brnware, C. Schuermyer, S. Rangantan, R. Madge, P. Krishnamurthy, N. Tamrapalli, K-H. Tsai, and J. Rajski, "Impact of multiple-detect test patterns on product quality", Proc. Int. Test Conf., pp.1031--1040, 2003.
- [Chan10] Hsien Chung, et al, "The Advanced Pattern Designs with Electrical Test Methodologies on Through Silicon Via for CMOS Image Sensor" , Proc. ECTC2010, pp.297-302, 2010.
- [Conr13] Zoë Conroy, "BA-BIST: Board Test from Inside the IC Out", IEEE International Test conference, 2013
- [Ferr13] Joshua Ferry, "FPGA-Based Universal Embedded Digital Instrument", IEEE International Test conference, 2013
- [Fran95] S.C. Ma, P. Franco, and E.J. McClusky, "An experimental chip to evaluate test techniques experimental results", Proc. Int. Test Conf., pp.663-672, 1995.
- [Fuji96] 藤田鋼一, 磯田豊, 小林孝一, 久保田勝久, "GS8600・GS8400 用半導体技術", FUJITSU, VOL.47,NO.2, PP.127-131, 1996年3月
- [Goel09] S. K. Goel, N. D-. Prasanna, and R. P. Turakhia, "Effective and efficient test pattern generation for small delay defect", Proc. VLSI Test Symposium, pp.111-116, 2009.
- [Goel10] S. K. Goel, K. Chakrabarty, M. Yilmaz, K. Peng, and M. Tehranipoor, "Circuit topology-based test pattern generation for small-delay defects", Proc. Asian Test Symposium, pp.307--312, 2010.
- [Higa11] Y. Higami, H. Furutani, T. Sakai, S. Kameyama, H. Takahashi, " Test Pattern Selection for Defect-Aware Test", Proc. Asian Test Symposium, pp.102--107, 2011.
- [IEE01] "IEEE Standard Test Access Port and Boundary-Scan Architecture", IEEE Std 1149.1-2001.
- [IEEE00] IEEE Std 1149.4-1999, "IEEE Standard for a Mixed-Signal Test Bus", ISBN 0-7381-1755-2 SH94761, March 2000, IEEE
- [IEEE01] IEEE Std 1149.1™-2001 (R2008), "IEEE Standard Test Access Port and Bounda-

- ry-Scan Architecture”, ISBN 0-7381-2944-5 SH94949, July 2001, IEEE
- [INTL10] "Intel 5 Series Chipset and Intel 3400 Series Chipset", Intel Corporation Document Number: 322169-003, June 2010.
- [Iraj03] S. Irajpour, S. Nazarian, L. Wang, S.K. Gupta, and M.A. Breuer, "Analyzing cross-talk in the presence of weak bridge defects", Proc. VLSI Test Symposium, pp.385--392, 2003.
- [Ito90] N. Ito, "Automatic Incorporation of On-Chip Testability Circuit", Proceedings of the 27th DA Conference, 1990, pp.529-534.
- [JIS1] 日本工業規格 JIS C 5603-1993 "プリント回路用語 Terms and definitions for printed circuits", 1993
- [JIS56031] 日本工業規格 JIS C 5603-1993 プリント回路用語 Terms and definitions for printed circuits
- [Kame12] ケン・パーカー著 亀山修一監訳, ケン・パーカー著, "バウンダリスキャンハンドブック", 青山社, 2012-06
- [Kame96] 亀山修一, 中野一治, 川村八郎, 角野訓志, "電算機用大型MCMのための試験システム", 第35回FTC研究会, 1996年7月
- [Kane90] 金子明, 瀬山清隆, 鈴木正博「FUJITSU VP2000 シリーズのテクノロジー」, FUJITSU, Vol. 41, No. 1, (1990), pp.12-19
- [Lee02] S. Lee, B. Cobb, J. Dworak, M.R. Grimaila, and M.R. Mercer, "A new ATPG algorithm to limit test set size and achieve multiple detections of all Faults", Proc. Design, Automation and Test in Europe, 2002, pp.94--99, 2002.
- [Lin06] X. Lin, K-H. Tsai, C. Wang, Y. Sato, and S. Hamada, "Timing-aware ATPG for high quality at-speed testing of small delay defects", Proc. Asian Test Symposium, pp.139--146, 2006.
- [Lin12] Y-T. Lin, O. Poku, N.K. Bhatti, R.D. Blanton, P. Lloyd, and V. Iyengar, "Physically-Aware N-Detect Test", IEEE Trans. Compu.-Aided Des. Integr. Circuits Syst., vol.31, no.2, pp.308--321, 2012.
- [Mari09] Erik Jan Marinissen and Yervant Zorian. "Testing 3D Chips Containing

- Through-Silicon Vias.” In Proceedings IEEE International Test Conference (ITC), November 2009. Paper ET1.1.
- [Mari12] Erik Jan Marinissen, “Challenges and emerging solutions in testing TSV-based 2.5D- and 3D-stacked ICs”, Proc. DATE2012, pp.1277-1282. 2012.
- [Mich96] 道口由昭, 幡野茂, 掛川浩, “GS8600・GS8400 のシステムハードウェア技術”, FUJITSU, VOL.47,NO.2, PP.139-146, 1996年3月
- [Mich96] 道口由昭, 幡野茂, 掛川浩, “GS8600・GS8400 のシステムハードウェア技術”, FUJITSU, VOL.47,NO.2, PP.139-146, 1996年3月
- [Mori96] 森田義裕, 安田直樹, “GS8600・GS8400 用の部品および実装技術”, FUJITSU, VOL.47,NO.2, PP.132-138, 1996年3月
- [Naka85] 中野喬, 小関利雄, 浅田和徳, “超大型コンピュータ用 LSI 論理プリント板の自動試験システム”, 第13回 FTC 研究会, 1985
- [Naka86] 中野喬, 小関利雄, “大型コンピュータ用 LSI 論理プリント板の自動試験システム, 大河内賞 30年のあゆみ, 受賞後の展開と波及効果“, 大河内記念会, 1986
- [Nels06] J.E. Nelson, J.G. Brown, R. Desineni, and R.D. Blanton, "Multiple-defect ATPG based on physical neighborhoods", Proc. Design Automation Conf., pp.1099--1102, 2006.
- [Ohno86] 大野健一, 田中三樹, 野口英二, 小野敏彦, 藪敬司, 松本正浩, “FACOM M-780 用半導体技術”, FUJITSU, VOL.37,NO.2, PP.108-115, 1986年3月
- [Park11] K. P. Parker, S. Kameyama, D. Dubberke, "Surviving State Disruptions Caused by Test: A Case Study", Proc. IEEE International Test Conference, paper 5.2, 2011.
- [Peng10] K. Peng, M. Yilmaz, K. Chakrabarty, and M. Tehranipoor, "A noise-aware hybrid method for SDD pattern grading and selection", Proc. Asian Test Symposium, pp.331--336, 2010.
- [Sobo82] L. J. Sobotka, “The Effects of Backdriving Digital Integrated Circuits During In-Circuit Testing, ” IEEE International Test Conference Proceedings, 1982, pp. 269-286.

- [Stuc10] M. Stucchi, D. Perry, G. Katti, and W. Dehaene, "Test structures for characterization of through silicon vias", Proc. CMTS2010 pp. 130-134, 2010.
- [Taka07] H. Takahashi, Y. Higami, T. Kikkawa, T. Aikyo, Y. Takamatsu, K. Yamazaki, T. Tsutsumi, H. Yotsuyanagi, and M. Hashizume, " Test generation and diagnostic test generation for open faults with considering adjacent lines", Proc. of Defect and Fault Tolerance in VLSI Systems Symposium, pp.243--251, 2007.
- [Taka08] 高橋 寛, 樋上喜信, 和泉太佑, 相京 隆, 高松雄三, "欠陥診断考慮テストパターン生成法", LSI テスティングシンポジウム, pp.177--182, 2008.
- [Taka10] H. Takahashi, Y. Higami, Y. Takamatsu, K. Yamazaki, T. Tsutsumi, H. Yotsuyanagi, M. Hashizume, " A Method for Diagnosing Resistive Open Faults with Considering Adjacent Lines", Proc. IEEE 10th International Symposium on Communications and Information Technologies, pp.609--614, 2010.
- [Taka12] Takahide Yoshikawa, Tatsumi Nakada, Koichiro Takayama, Daisuke Maruyama, Masahiro Yanagida, Shuichi Kameyama, "K Computer: A Highly Reliable 10-Petaflop Supercomputer", IEEE International Test Conference 2012, AIP3-2, 2012
- [Tang05] H. Tang, G. Chen, S.M. Reddy, C. Wang, J. Rajski, and I. Pomeranz, "Defect aware test patterns", Proc. Design, Automation and Test in Europe, pp.450--455, 2005.
- [Will82] Thomas W. Williams, Kenneth P. Parker, "Design for Testability-A Survey", IEEE Transactions on Computer, Vol. c-3 1, No. 1, January 1982
- [Yama96] Haruhiko Yamamoto, Akihiko Fujisaki and Shun-ichi Kikuchi, "MCM and Bare Chip Technology For A Wide Range of Computer", IEEE ICTC1996, pp.133-138, 1996
- [Yama96] Haruhiko Yamamoto, Akihiko Fujisaki and Shun-ichi Kikuchi, "MCM and Bare Chip Technology For A Wide Range of Computer", IEEE ICTC1996, pp.133-138, 1996
- [Yilm08] M. Yilmaz, K. Chakrabarty, and M. Tehranipoor, "Interconnect-aware and layout-oriented test-pattern selection for small-delay defect", Proc. Int. Test Conf.,

paper28.3, 2008.

[Yilm08V] M. Yilmaz, K. Chakrabarty, and M. Tehranipoor, "Test-pattern grading and pattern selection for small-delay defects", Proc. VLSI Test Symposium, pp.233--239, 2008.

[Yosh13] Toshio Yoshida, "SPARC64™ X+: Fujitsu's Next Generation Processor for UNIX servers." HotChips25, 2013

—以上—